



500.26967X00

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicants: K. KATSURA, et al

Serial No.: 07/302,332

APR 5 1990

Filed: January 27, 1989

GROUP 230

For: GRAPHIC PROCESSING APPARATUS

Group: 231

Examiner: H. HERNDON

CLAIM FOR PRIORITY

Honorable Commissioner of
Patents and Trademarks
Washington, D. C. 20231

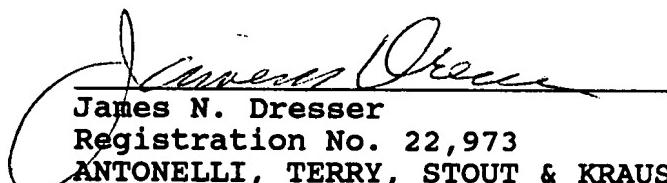
April 5, 1990

Sir:

Under the provisions of 35 U.S.C. §119 and 37 C.F.R.
§1.55, the applicants hereby claim the right of priority based on
Japanese Patent Application No. 63-93448 filed April 18, 1988.

A certified copy of said Japanese application is
attached herewith.

Respectfully submitted,


James N. Dresser
Registration No. 22,973
ANTONELLI, TERRY, STOUT & KRAUS
(202) 828-0300

JND:mg
Attachment

B-2822 甲



日本特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類は下記の出願書類の謄本に相違ないことを証明する。
This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出願年月日 1988年4月18日
Date of Application:

出願番号 昭和63年特許願第93448号
Application Number:

出願人 株式会社日立製作所
Applicant(s):

1989年2月23日

特許庁長官
Commissioner,
Patent Office

吉田文毅

出証平 1-6416

手 続 補 正 書(方式)

昭和 63年 8月 24日

特許庁長官 吉田文毅 殿

事件の表示

昭和 63年 特許願 第 93448 号

発明の名称

図形処理装置

補正をする者

事件との関係 特許出願人

名 称(510) 株式会社 日立製作所

代理人

居 所(〒100) 東京都千代田区丸の内一丁目5番1号

株式会社 日立製作所内 電話 東京212-1111(大代表)

氏 名(6850) 弁理士 小川勝 瑞穂

補正命令の日付 昭和 63年 7月 26日(発送日)

補正の対象

図面

補正の内容

願書に最初に添付した全図面の净書・別紙のと
おり(内容に変更なし、但し拡大)。

以 上

方 式 審

西 村

33822



G06F15/00

(14,000円)

AJ

後記号なし

特許願 (特許法第30条第1項
に規定する特許出願)

昭和 63年 4月 18日

特許庁長官 殿

フリガナ ショリ ソウチ
発明の名称 図形処理装置

請求項の数 6

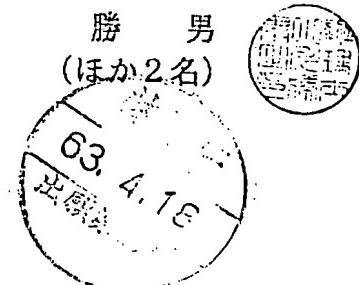
発明者

フリガナ イバラキケン ヒタチシ クジヨウ パンチ
住所 茨城県日立市久慈町4026番地
カブシキガイシャ ヒタチセイサクショ ヒタチケンキュウショナイ
株式会社 日立製作所 日立研究所内フリガナ カツラ コウ ヨウ
氏名 桂 晃 洋 (ほか2名)
特許出願人住 所 (〒101) 東京都千代田区神田駿河台四丁目6番地
(510) 株式会社 日立製作所
名 称 代表者 三田 勝茂

代理 人

居 所 (〒100) 東京都千代田区丸の内一丁目5番1号
株式会社 日立製作所
電話東京 212-1111(大代表)氏名 (6850) 弁理士 小川 勝男
添付書類の目録 (ほか2名)

- (1) 明細書 1通
- (2) 図面 1通
- (3) 委任状 1通
- (4) 特許願副本 1通



63 093448

方 式 査

平林

前記以外の発明者または特許出願人
発 明 者

フリガナ グンマケン タカサキシ ニショコテマチ パンチ
住 所 群馬県高崎市西横手町 111 番地

カブシキガイシャ ヒタチセイサクショ タカサギコウジョウナイ
株式会社 日立製作所 高崎工場内

フリガナ コ ジマ シン イチ
氏 名 児 島 伸 一

フリガナ 同 上
住 所

フリガナ クラ カミ ノリ ユキ
氏 名 倉 上 典 之

前記以外の代理人

代 理 人

居 所 (〒100) 東京都千代田区丸の内一丁目5番1号

株 式 会 社 日 立 製 作 所 内

電 話 東 京 212-1111(大代表)

氏 名 (7463) 弁 理 士 高 田 幸



居 所 (〒100) 同 上

氏 名 (7509) 弁 理 士 作 田 康



明細書

1. 発明の名称 図形処理装置

2. 特許請求の範囲

1. m ビットのデータバスを有し、行アドレスと列アドレスを用いてアクセスするメモリ手段と、

n ($n > m$) ビットのデータバスを有し前記メモリに対しアドレスを出力しデータ処理を実行するデータ処理手段と、

同一行アドレス中の列アドレスの異なる複数のデータを順次読み出し一時記憶する手段と、を有し、

前記一時記憶したデータを n ビットのバスを経由して前記データ処理手段に読み出すようにしたことを特徴とする図形処理装置。

2. m ビットのデータバスを有し、行アドレスと列アドレスを用いてアクセスするメモリ手段と、

n ($n > m$) ビットのデータバスを有し前記メモリに対しアドレスを出力しデータ処理を実

行するデータ処理手段と、

前記データ処理手段から転送される書き込みデータをmビットのバス上に順次出力するマルチプレクス手段と、を有し、

前記同一行アドレス中の異なる複数の列アドレスに対して書き込むようにしたことを特徴とする図形処理装置。

3. mビットのデータバスを有し、行アドレスと列アドレスを用いてアクセスするメモリ手段と、

n ($n > m$) ビットのデータバスを有し前記メモリに対しアドレスを出力しデータ処理を実行するデータ処理手段と、

複数の列アドレスを順次発生する計数手段と、を有し、

前記データ処理手段から供給されるアドレスと前記計数手段の出力を合成して順次列アドレスを発生することを特徴とする図形処理装置。

4. 複数ビットで表現される画素情報を複数画素分記憶し、行アドレスと列アドレスを用いて

アクセスするメモリ手段と、

同一行アドレス中の列アドレスの異なる複数のデータを順次読みだし一時記憶する手段と、

前記一時記憶したデータを複数の直列信号に変換する変換手段と、

前記変換手段から得られる直列信号の出力手段と、

を有することを特徴とする図形処理装置。

5. 画素情報を記憶し、行アドレスと列アドレスを用いてアクセスするメモリ手段と、

同一行アドレス中の列アドレスの異なる複数のデータを順次読みだし一時記憶する手段と、

前記一時記憶したデータを直列信号に変換する変換手段と、

前記変換手段から得られる直列信号の出力手段と、

1画素を構成するビット数の複数通りのいずれかを選択する選択手段と、

を有することを特徴とする図形処理装置。

6. メモリに対するアドレスとデータをマルチ

プレクスして入出力しデータ処理を実行するデータ処理手段と、

前記データ処理手段のアドレス出力時間に対しデータ入出力時間を長くしうるよう周期が交互に異なるクロック信号を発生する手段と、を有することを特徴とする図形処理装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、メモリに記憶された図形データを処理する図形処理装置に係り、特に、メモリの使用個数を少なくして小型化できる図形処理装置に関する。

〔従来の技術〕

表示用メモリ（フレームバッファ）に文字や図形データを発生し、表示装置やプリンタ等の出力装置に出力せしめる図形処理装置としては、例えば、特開昭60-136793号公報に開示がある。この従来例においては、画素を構成するデータを同一ワード内にパックして記憶する手法により、図形描画の高速化を達成している。以前の手

法では画素情報が複数ワードにまたがったのに対して、メモリには1ワード（16ビット）単位でアクセスするため、画素の情報を同一ワード内にパックすれば、1回のアクセスで1画素を更新でき高速になる。

〔発明が解決しようとする課題〕

上記従来例では、16ビットのデータバスにメモリを接続しているが、通常フレームバッファに用いられるDRAM(Dynamic Random Access memory)は1ビットあるいは4ビットのデータバスを有するものが一般的であり、最低でも4～16個のメモリ素子が必要とされた。この点が装置の小型化を阻む問題となっていた。

本発明の目的は、少ないビット幅のデータバスを介しての転送を可能にすることにより、メモリ素子の使用個数を少なくして装置の小型化を図るものである。

〔課題を解決するための手段〕

上記目的を達成するために、本発明では、データを処理するプロセッサ手段とメモリとの間にデ

ータの変換手段を設け、プロセッサ手段のデータバス幅に対してメモリのデータバス幅を小さくできるようにした。この変換手段には、読み出しデータを一時記憶するラッチと、書き込みデータのマルチプレクサを内蔵する。

〔作用〕

本発明による図形処理装置では、メモリに対しては時分割にアクセスし、上記変換手段にて並列データに変換するものである。すなわち、データの読み出し時には、時分割に順次読み出されたデータをラッチに一時記憶したのち、並列データとしてプロセッサに与える。また、データの書き込み時には、プロセッサから与えられる並列データをマルチプレクサを介して順次時分割にメモリに書き込む。

〔実施例〕

以下、本発明の実施例を図面を用いて詳細に説明する。

第1図は本発明を用いた図形処理装置の構成を示したものである。図形処理装置は、図形処理プ

ロッセサ A C R T C (Advanced CRT Controller)
10、M I V A C (Memory Interface and Video
Attribute Controller) 20、フレームバッファ
30、C P L T (カラーパレット内蔵D A C) 40、
およびC R T 50 から構成されている。M I V A
C 20は、A C R T C 10がフレームバッファ 3
0をアクセスするのに必要な各種制御信号、およ
びアドレスを生成する。また、A C R T C 10の
基準信号である2 C L Kを生成する。さらに、フ
レームバッファ 30からのパラレルデータを、ビ
デオ信号用のシリアルデータに変換する機能を有
している。

M I V A C 20は、A C R T C 10からの制御
信号 (A S, M C Y C, D R A W, M R Dなど)
を受け、フレームバッファ 30の読み出し、書き
込みを行なう。その際フレームバッファ 30に用
いるD R A M (Dynamic RAM)用の制御信号(R A
S, C S, O E, W E)を生成し、またA C R T
C 10から受けた、フレームバッファ 30用のア
ドレスをロウ／カラムアドレスにマルチプレクス

し、出力する。フレームバッファ30には、スタティックカラムモードを用いて、1回のロウアドレスに続けて複数回のカラムアドレスを出力している。本実施例ではスタティックカラムモードを用いているが、他の連續読み出し方式（例えば、ページモード、ニブルモード等）と組合せても良い。

読み出し、書き込みデータは、MIVAC20を介して、CRTC10とフレームバッファ30間で、データ転送される。

表示動作では、フレームバッファ30から読み出されたパラレルデータは、MIVAC20に取り込まれ、内蔵されているパラレル／シリアル変換機でシリアルデータに変換され、デジタルビデオ信号として出力される。このデジタルビデオ信号は、CPLT40でアナログビデオ信号に変換され、CRT50に表示する。本実施例では出力装置としてCRT50を用いているが、プリンタ等の他の出力装置とすることもできる。

第2図は、MIVAC20のピン配置を示した

ものである。本実施例の M I V A C 2 0 には、高速のバイポーラ技術と低消費電力の C M O S 技術を複合した、Hi-BiCMOS(High performance Bipolar CMOS)技術を用いており、高速、高駆動能力の論理回路を比較的低消費電力で実現している。M I V A C 2 0 は P L C C(Plastic Leaded Chip Carrier) 6 8 ピンパッケージを使用しているため、面実装が可能であり、図形処理装置の実装基板の小型化が図れる。

第3図(a)、第3図(b)は、M I V A C の各種インターフェース信号を示したものである。M I V A C の入出力信号を大きく分けると、M I V A C の動作を制御する動作制御信号、A C R T Cとのインターフェース信号、フレームバッファとのインターフェース信号、ディスプレイとのインターフェース信号などである。

動作制御信号の内 I N C L K は、M I V A C の基準となるクロックを入力する。A C R T Cとのインターフェース信号には、A C R T C の基準クロックとなる 2 C L K 、読み出し、書き込み動作を

制御する M R D 、 D R A W などの制御信号、さらに M A D 0 ~ M A D 1 5 のアドレス / データバス、 M A 1 6 ~ M A 1 9 のアドレスバスなどが含まれる。フレームバッファとのインターフェース信号には、 D R A M 用の制御信号である R A S 、 C S 、 O E 、 W E と、 F A 0 ~ F A 9 のロウ / カラムアドレスが含まれる。ディスプレイとのインターフェース信号には、表示用データをパラレル / シリアル変換して得られるデジタルビデオ信号や、 I N C L K を分周して生成する D O T C K などが含まれる。

第 4 図は、 M I V A C の内部構成を示したものである。 M I V A C は、 A C R T C の内部に記憶されたユーザー定義可能なアトリビュートコードをアトリビュートコードラッチ 2 0 1 1 でラッチし、これを V C F デコーダ 2 0 1 2 でデコードした信号を用いて、各種の動作モードが可能となっている。

M I V A C の動作の基準となる I N C L K は、 I N C L K 2 0 0 6 および I N C L K 分周回路 2

009により2、4、8、16、32分周される。

ステイトデコーダ2007でこれらを組合せることで、動作のタイミング信号を生成する。このタイミング信号は、各ロジックで使用される。

ACRTCの基準となる2CLKは、2CLKジェネレータ2008で生成される。2CLKは、1メモリサイクルで複数回のリード／ライトを行なうため、前半のサイクルを短くし、後半のサイクルを長くした非対称形である。

DOTCLKは、INCCLKの1、2、4分周信号をマルチプレクサ2010でマルチプレクスし出力する。どの分周信号を出力するかは、MIVACの動作モードにより自動的に選択される。

ACRTCから入力されたMAD0～MAD15、MA16～MAD19のフレームバッファ用アドレスは、ラッチ2001により一旦ラッチされ、マルチプレクサ2003で、ロウ／カラムアドレスにマルチプレクスし、フレームバッファ用アドレスFA0～FA9の10ビットアドレスを生成する。またカラムアドレスカウンタ2002

を内蔵し、このカウンタの値をラッチしたアドレスとマルチプレクサ2003でマルチプレクスしてカラムアドレスの一部として使用することで、1メモリサイクルに数回のリード／ライトを行なうことが可能となる。

ACRTCからの制御信号は、ラッチ2004で一旦ラッチされる。DRAW、MRDにより、描画リードサイクル、描画ライトサイクル、又は、表示サイクルかを判定する。DRAWがロウレベル、MRDがハイレベルの描画リードサイクルでは、メモリコントロール2005により生成された、RAS、CS、OEを出力し、メモリから描画データを読み出す。1サイクル中に数回読み出されたデータは、入力データラッチ2015で一旦ラッチされ、リードデータラッチ2016に転送され、再度ラッチされる。このデータは、MA出力コントロール2000により、ACRTCのデータ取り込みタイミングに合わせて、MAD0～MAD15のデータバスに出力される。

またDRAWがロウレベル、MRDがロウレベル

ルの描画ライトサイクルでは、メモリコントロール2005により生成された、RAS、CS、WEを出力し、メモリへ描画データを書き込む。書き込み用の描画データは、カラムアドレスカウンタ2002によりカウントアップされたアドレスに同期して、FD0～FD7の出力段のマルチプレクサ2014でマルチプレクスされ、FD出力コントロール2013で作られたタイミングで数回にわたり、メモリに分割して書き込まれる。

DRAWがハイレベル、MRDがハイレベルの時、表示リードサイクルと判断する。1サイクル中で数回にわたり読みだされたデータは、描画リードサイクルで使用した入力データラッチ2015で一旦ラッチされる。その後、表示用データラッチ2019に転送されラッチされる。4チップメモリ構成の場合は、MAD8～MAD15からもデータが入力されるため、マルチプレクサ2017によりマルチプレクスされ、表示用データラッチ2019に転送される。このデータは、シフタ2020に転送され、ラッチコントロール20

201によりシフタ内のラッチ20202でラッチされる。このラッチされたデータを、シフタクロック生成部20203で生成されたクロックを用いて、マルチプレクサ20204でマルチプレクスすることで、シリアルデータからパラレルデータに変換して、4ビットのビデオ信号を生成する。

このビデオ信号をスキュー回路2022でスキューさせ、ACRTCからの制御信号と同期させる。このビデオ信号に対し、カーソルブリンク2023でカーソルの重ね合わせや、VSYNCを2分周した信号を用いて、マルチプレクサ2024で各ビデオ信号のマルチプレクスを行なうことが可能である。これらの処理を施されたビデオ信号は最後に、ACRTCからのDISP信号によりマスク回路2025でマスクされ、4ビットのデジタルビデオ信号として出力される。ビデオマスクに使用した信号をSHFTENとして出力する。また、ビデオ信号のマルチプレクスに使用したVSYNCの2分周信号をVSYNC/2とし

て出力する。

アトリビュートコード内のBLINK2を使い、
BL2IRQ出力部2021でBL2IRQを生
成する。

第5図は、使用メモリ個数の違いによるフレー
ムバッファの接続方法を示したものである。第5
図(a)の1チップメモリ構成の場合は、MIV
AC20のFD0~FD3の4本のデータ端子と、
フレームバッファ300のデータ端子を接続して
使用する。FD4~FD7の端子は使用しない。
この場合、MIVAC20とフレームバッファ3
00間では、一度に4ビットのデータを転送する。
描画リードサイクルでは、MIVAC20は4ビ
ットのデータを4回読み出し、16ビットにそろ
えてACRTC10へ転送する。描画ライトサイ
クルでは、ACRTC10からの16ビットのデ
ータを、時分割に4回に分けてフレームバッファ
300へ転送する。表示リードサイクルでは、4
ビットのデータを1メモリサイクルで4回、ある
いは2メモリサイクルで16回読み出し、それぞ

れ 16 ビット、 64 ビットの表示データとして取り込む。

第 5 図 (b) の 2 チップメモリ構成の場合は、 M I V A C 2 0 の F D 0 ~ F D 7 の 8 本のデータ端子を使用する。フレームバッファ 3 0 0 のデータ端子と F D 0 ~ F D 3 を接続し、フレームバッファ 3 0 1 のデータ端子と F D 4 ~ F D 7 を接続して使用する。 M I V A C 2 0 とフレームバッファ 3 0 0 、フレームバッファ 3 0 1 間では、一度に 8 ビットのデータを転送する。描画リードサイクルでは、 M I V A C 2 0 は 8 ビットのデータを 2 回読み出し、 16 ビットにそろえて A C R T C 1 0 へ転送する。描画ライトサイクルでは、 A C R T C 1 0 からの 16 ビットのデータを、時分割に 2 回に分けてフレームバッファ 3 0 0 、フレームバッファ 3 0 1 へ転送する。表示リードサイクルでは、 8 ビットのデータを 1 メモリサイクルで 4 回、あるいは 2 メモリサイクルで 16 回読み出し、それぞれ 32 ビット、 128 ビットの表示データとして取り込むことができる。したがって、

第5図-(a)の場合よりもより高速なCRTへの適用が可能になる。

第5図(c)の4チップメモリ構成の場合は、フレームバッファ300、フレームバッファ301の接続は、第5図(b)の2チップの場合と同様であるが、残りの2チップのフレームバッファ302、フレームバッファ303は、ACRTC10とMIVAC20間のデータバスであるMAD0～MAD15のうち、MAD8～MAD15の上位8ビットに接続する。描画リードサイクルでは、MIVAC20は16ビットのデータを1回で読み出す。フレームバッファ300、フレームバッファ301から読み出された8ビットのデータは、MIVAC20を経由してMAD0～MAD7に出力される。フレームバッファ302、フレームバッファ303から読み出された上位8ビットのデータは、MIVAC20を経由せずに、直接MAD8～MAD15のバスを通してACRTC10に転送される。描画ライトサイクルでは、ACRTC10からの下位8ビットのデータは、

M A D 0 ~ M A D 7 を通して M I V A C 2 0 を経由し、 F D 0 ~ F D 7 に出力される。上位 8 ビットのデータは、 M I V A C 2 0 を経由せずに、直接フレームバッファ 3 0 2 、フレームバッファ 3 0 3 へ転送される。表示リードサイクルでは、下位 8 ビットのデータは、 F D 0 ~ F D 7 を通して、また上位 8 ビットのデータは、 M A D 8 ~ M A D 1 5 を通して 1 メモリサイクルで 4 回読み出し、 6 4 ビットの表示データとして M I V A C 2 0 に取り込まれる。

このモードでは、データバスを表示用データの入力に使用するため、 2 メモリサイクルで 1 6 回の読み出し機能は行なえないが、 1 メモリサイクルで 4 回の読み出しモードで比較すると第 5 図 (a) 、第 5 図 (b) の場合よりも高速な C R T への適用が可能である。

第 6 図は、各サイクルモードでのビデオ出力タイミングを示したものである。 A C R T C 1 0 には、メモリアクセスモードとして、表示サイクルが連続するシングルアクセスモード、高速描画が

可能なデュアルアクセスモードがある。MIVAC20では、これらのアクセスモードの他に、シングルアクセスモードの表示サイクル2サイクル分を1サイクルとして扱い、16回のメモリリードを行なう、2MCYCモードを設けている。シングルアクセスモードでは、最初の表示サイクルで取り込んだデータを次のサイクルで表示する。

2回目のサイクルで取り込んだデータは3回目のサイクルで表示する。以後、これを繰り返す。最後の表示サイクルで読み込んだデータは、次の描画サイクルで出力することになるが、ACRTCのDISP信号が表示サイクル期間のみ出力するため、MIVAC内部で、DISPの後ろを1サイクル伸ばしてマスク信号として使用する。デュアルアクセスモードでは、最初の表示サイクルのデータを次の2サイクルに渡り出力する。そのため、DISPの後ろを2サイクル伸ばしてマスク信号として使用する。2MCYCモードでは、16回のデータ読み出しを2サイクルで行なうため、ビデオ出力も2サイクルに渡り出力される。

第7図は、ACRTCが outputするアトリビュートコードの出力タイミングを示したものである。アトリビュートコードは、ユーザーが自由に定義できる情報である。アトリビュートコードは、最後のリフレッシュ期間の2CLK、MCYCが共にハイレベルである間に、ACRTCのMAD0～MAD15、MA16～MA19に出力される。このアトリビュートコードを取り込み、解読することで、MIVACの動作モードが設定される。

第8図は、MIVACにおけるアトリビュートコードの設定を示したものである。MIVACは、ユーザーが自由に定義できるMAD0～MAD7と、ACRTCで使用方法が決まっているMA18、MA19を使用する。MAD0～MAD3の4ビットで、表示色、シフトレジスタのシフト量、アクセスモード、メモリの使用個数、DOTCLKの分周比を設定する。MAD4、MAD5でカーソルの表示色を設定する。MAD6は、使用的メモリの深さを設定する。MAD7は、ビデオ出力をマルチプレクスするかしないかを設定する。

M A 1 . 8 は、 カーソルのブリンクを設定する。 M
A 1 . 9 は、 B L 2 I R Q 出力を設定する。

第 9 図は、 第 8 図で示した M A D 0 ~ M A D 3 の 4 ビットで定義される、 1 6 の動作モードを示したものである。表示色、 シフトレジスタのシフト量、 アクセスモード、 メモリの使用個数、 D O T C L K の分周比は、 1 6 の動作モードの設定により、 自動的に決まる。

(1) 表示色(カラー／階調)は、 1 ビット／画素で表されるモノクロ表示、 2 ビット／画素で表される 4 色表示、 4 ビット／画素で表される 1 6 色表示が可能である。 1 ビット／画素の場合は、 メモリの 1 ワードには水平方向に連続する 1 6 画素分の情報が記憶される。 2 ビット／画素の場合は、 メモリの 1 ワードには水平方向に連続する 8 画素分の情報が、 4 ビット／画素の場合は、 メモリの 1 ワードには水平方向に連続する 4 画素分の情報がそれぞれ記憶される。

(2) シフトレジスタのシフト長は、 4 、 8 、 1

6、32ビットシフトが可能である。

- (3) アクセスモードは、シングルアクセスモード、高速描画が可能なデュアルアクセスモード、2メモリサイクルで16回の表示アクセスを行なう2MCYCモードをサポートしている。モード0～モード5までは、シングルアクセスモードを使用し、モード6～モードCまでは、デュアルアクセスモードを使用する。また、モードD～モードFは、2MCYCモードを使用する。
- (4) メモリの使用個数は、1、2、4個を使用する。このメモリには、1サイクルで複数回のリード／ライトが可能なスタティックカラムモードのようなメモリを使用する。
- (5) DOTCLKは、INCLKを1、2、4分周して生成する。この分周比は、各動作モードで決まっている。その周波数から、各動作モードで使用できるCRTの画面構成が決定される。

第10図は、各動作モードでの適用可能なDO

T C L K の周波数を示したものである。モード 0、3、5、8、B、D、F は、分周比が 1、すなわち I N C L K と同じものが D O T C L K として出力される。モード 1、4、6、9、C、E は、分周比が 2、モード 2、7、A は、分周比が 4 の D O T C L K が出力される。

第 11 図は、M A D 4 (C U R 0) 、M A D 5 (C U R 1) で設定するカーソルの表示色を示したものである。

(1) C U R 1 、 C U R 0 共に 0 の場合

4 ビットのビデオ出力すなわち V I D E O
A ~ V I D E O D が全て 0 となり、黒が表
示される。

(2) C U R 1 が 0 、 C U R 0 が 1 の場合

4 ビットのビデオ出力すなわち V I D E O
A ~ V I D E O D が全て 1 となり、白が表
示される。

(3) C U R 1 が 1 、 C U R 0 が 0 の場合

4 ビットのビデオ出力すなわち V I D E O
A ~ V I D E O D の各ビット毎の色反転表

示となる。

(4) CUR1、CUR0共に1の場合

3ビットのビデオ出力VIDEOA～VIDEOCの各ビット毎の色反転表示となるが、VIDEODはそのまま表示される。

第12図は、MAD6(VMD)で設定する、使用メモリ素子の深さを示したものである。VMDが0の場合、 $256k \times 4\text{bit}$ のメモリを使用し、VMDが1の場合、 $1M \times 4\text{bit}$ のメモリを使用する。

第13図は、MAD7(MUXEN)で設定する、ビデオ出力をマルチプレクスするかしないかを示したものである。MUXENが0の場合は、マルチプレクスしない。MUXENが1でVSYNC/2が0の場合は、マルチプレクスしない。MUXENが1でVSYNC/2が1の場合は、VIDEOAにVIDEOCのデータが出力され、VIDEOBにVIDEODのデータが出力される。この機能は、主にカラーシャッターを用いた表示装置に用いられる。

第14図は、MA18(BLINK1)で設定する、グラフィックカーソルの表示を示したものである。BLINK1が0の場合は、カーソルを表示せず、BLINK1が1の場合は、カーソルを表示する。

第15図～第26図は、各動作状態における詳細なタイミングチャートを示す。

第15図は、メモリを1個使用した場合の描画リードサイクルのタイミングを、詳細に示したものである。

第16図は、メモリを2個使用した場合の描画リードサイクルのタイミングを、詳細に示したものである。

第17図は、メモリを4個使用した場合の描画リードサイクルのタイミングを、詳細に示したものである。

第18図は、メモリを1個使用した場合の描画ライトサイクルのタイミングを、詳細に示したものである。

第19図は、メモリを2個使用した場合の描画

ライトサイクルのタイミングを、詳細に示したものである。

第20図は、メモリを4個使用した場合の描画ライトサイクルのタイミングを、詳細に示したものである。

第21図は、メモリを1個あるいは2個使用した場合の表示リードサイクルのタイミングを、詳細に示したものである。

第22図は、メモリを4個使用した場合の表示リードサイクルのタイミングを、詳細に示したものである。

第23図は、メモリを1個あるいは2個使用した場合の2MCYCモードでの表示リードサイクルのタイミングを、詳細に示したものである。

第24図は、DRAMのCSビフォアRASリフレッシュサイクルのタイミングを、詳細に示したものである。リフレッシュは水平同期信号HSYNCがロウレベルの期間に実行される。

第25図は、1、2、4分周でのDOTCLKの出力タイミング、VSYNC/2の出力タイミ

ング、VIDEOA～VIDEODの出力タイミング、SHIFTENの出力タイミングを、それぞれ詳細に示したものである。

第26図は、BL2IRQの出力タイミングを、詳細に示したものである。

第27図は、CRTC10、MIVAC20、DRAM300～303を用いて構成した図形処理装置の構成例を示したものである。クロック発振記80で作りだしたクロックを、MIVAC20のINCLKとして使用する。マイクロプロセッサ（第27図では図示せず）とのインターフェースに外付け回路70を設け、また、HSYNC、VSYNC用にCRTインターフェース回路60を設けている。

第28図は、NANDゲートを例に回路例を示す。バイポーラトランジスタとNチャネルMOS、PチャネルMOSの各トランジスタを用いて構成されている。前段の論理を反映する部分には、低消費電力のCMOSを、後段の出力側にはバイポーラトランジスタを用いている。

第29図(a)～第29図(c)はMIVAC 20がFA端子に出力するアドレスの詳細を示したものである。第29図(a)は1チップメモリの場合を、第29図(b)は2チップメモリの場合を、第29図(c)は4チップメモリの場合を、それぞれ示す。第29図(a)～第29図(c)の破線で囲んだ信号(NC0～NC2及びWC0～WC2)は、カラムアドレスカウンタ2002で生成される。NC0～NC2は1ワード内のかウンタであり、各動作モードでこのうちの1～2ビットが用いられる。WC0～WC2はワードのかウンタであり、表示アドレスの生成に用いられる。アドレスのビット番号が必ずしも連続していないのは、各動作モードでのビットの共通化を図って、マルチプレクサ2003の回路構成をできるだけ簡単にするようしているためである。

[発明の効果]

以上詳細に説明したように、本発明によれば、メモリのデータバス幅を小さくできる結果、図形処理装置を小型化できるという効果がある。

4. 図面の簡単な説明

第1図は本発明の1実施例を示す図、第2図、第3図(a)、第3図(b)はその構成要素であるMIVAC20の端子説明図を、第4図はその内部構成図を、第5図は実施例のより詳細な説明図を、第6図、第7図はその動作説明図を、第8図～第14図は動作モードの説明図を、第15図～第26図は詳細な動作タイミングチャートを、第27図は実施例の詳細な回路構成図を、第28図はゲートの回路構成図を、第29図(a)～第29図(c)はアドレス出力の説明図を、それぞれ示す。

10 …… 図形処理プロセッサ、

20 …… MIVAC、

30 …… フレームバッファ、

2014 … マルチプレクサ、

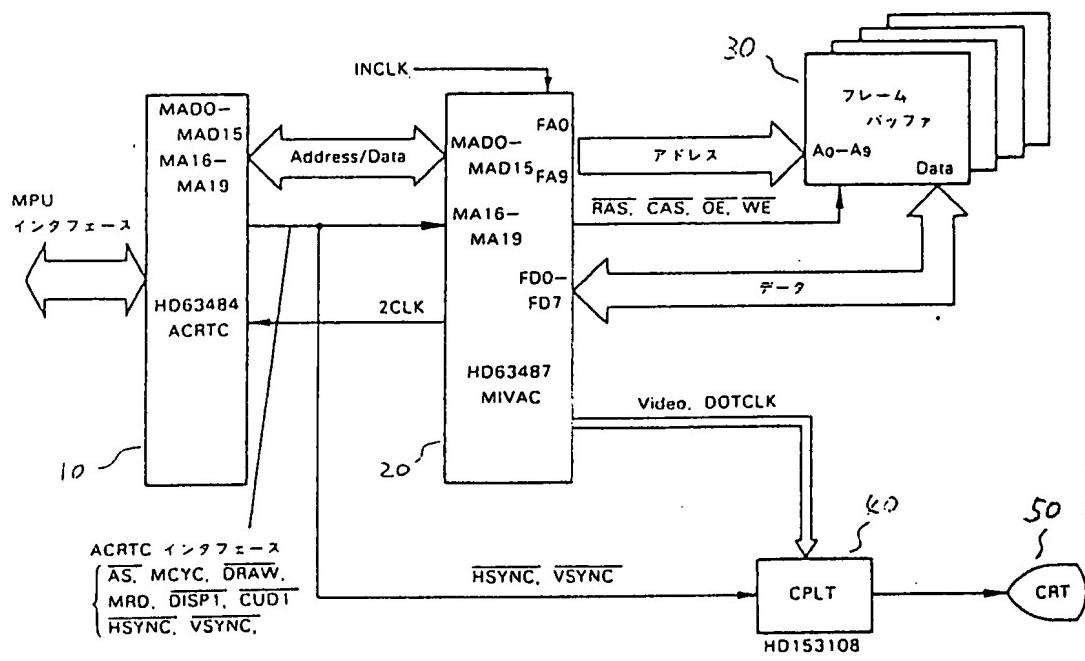
2015 … 入力データラッピング

2016 … リードデータラッピング

代理人 弁理士 小川勝男

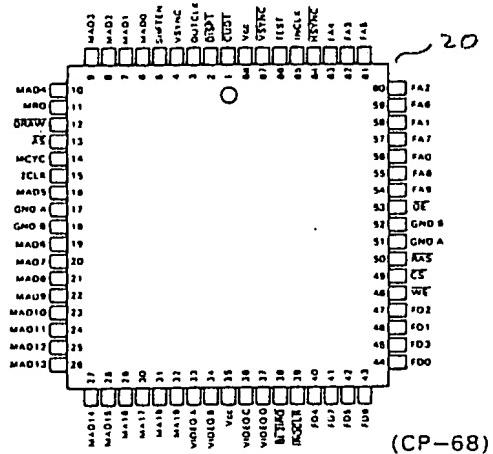


第 1 図



代理人 小川勝男

第 2 図



代理人 小川勝男

第3図 (a)

分類	端子番号	端子名	入出力	機能
電源	35, 68	Vcc	—	+5V電源を供給します。(Vccは2本とも必ず接続してください)
	17, 18 51, 52	Vss	—	GNDに接続します。(Vssは4本とも必ず接地してください)
動作制御信号	65	INCLK	入力	MIVACの基準となるクロックを入力します。
	66	TEST	入力	MIVACの動作をテストする時に使用します。 "Low" レベルに固定してください。
ACRTCインターフェース信号	15	2CLK	出力	ACRTC用2CLK信号を出力します、1メモリサイクル中、前半のサイクルと後半のサイクルではサイクル長が異なる非対称形で生成出力します。
	14	MCYC	入力	ACRTCからのMCYC信号を入力します。 MCYCは、ACRTCがアドレスサイクルのとき "Low" レベルを示し、データサイクルのときは "High" レベルを示します。
	12	DRAW	入力	ACRTCからのDRAW信号を入力します。 DRAWはACRTCが描画サイクルか否かを示します。DRAWは描画サイクルのとき "Low" レベルが入力され、それ以外は "High" レベルが入力されます。
	11	MRD	入力	ACRTCからのMRD信号を入力します。 MRDはフレームバッファとACRTC間のデータ転送方向を制御します。 フレームバッファからデータを読み出す場合は、"High" レベルを入力し、フレームバッファへデータを書き込む場合は、"Low" レベルを入力します。
	13	AS	入力	ACRTCからのAS信号を入力します。 ASは、メモリアクセスの有無を示す信号として用います。
	64	H SYNC	入力	ACRTCからのH SYNC信号を入力します。 H SYNCが "Low" レベル、DRAWが "High" レベルの条件でASパルスが入力されると、CSビフォアRASリフレッシュ動作を行ないます。
	67	V SYNC	入力	ACRTCからのV SYNC信号を入力します。 入力されたV SYNCは2分周され、V SYNC/2信号として出力され、またビデオ出力のマルチブレクサの制御に用いられます。
	2	DISP1	入力	ACRTCからのDISP1信号を入力します。 DISP1は画面の表示期間を示します。 通常ACRTCのDSP(Display Signal Control)ビットに "1" を設定してください。
	1	CUD1	入力	ACRTCからのCUD1信号を入力します。 CUD1はグラフィックカーソル表示期間に "Low" レベルが入力されます。
	6~10 16 19~28	MAD0~MAD15	入出力	ACRTCのMAD0~MAD15を接続します。 MCYCが "Low" レベルのアドレスサイクルのとき、フレームバッファアクセス用アドレスとなり、"High" レベルのデータ転送サイクルのとき、ACRTCとフレームバッファ間のデータ転送用のデータ入出力となります。
	29~32	MA16~MA19	入力	ACRTCからのフレームバッファアクセス用アドレスMA16~MA19を入力します。

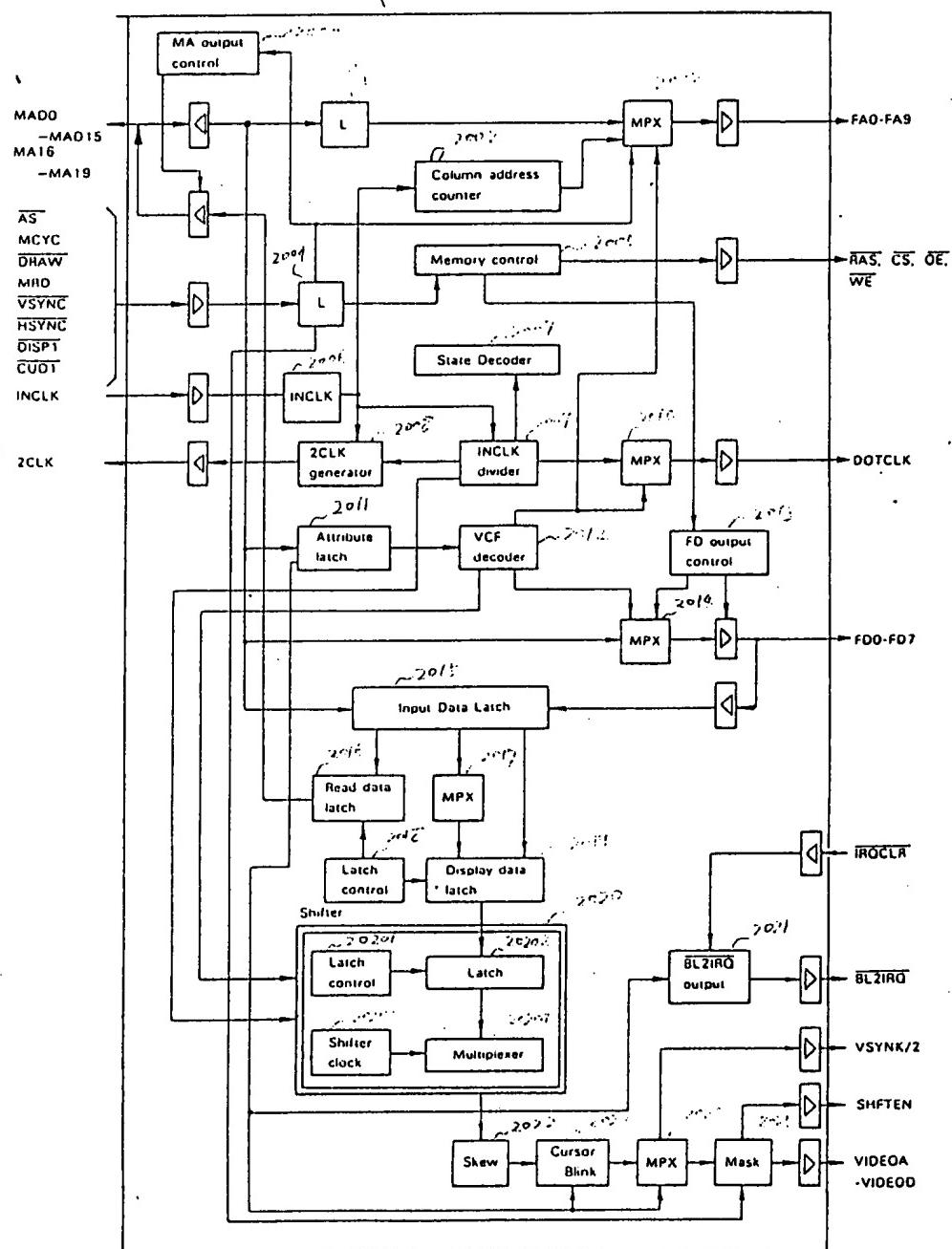
代理人 小川勝男

第 3 図 (b)

分類	端子番号	端子名	入出力	機能
フレームバッファインターフェース信号	50	RAS	出力	DRAM用のRASタイミング信号を出力します。
	49	CS	出力	DRAM用のCSタイミング信号を出力します。
	48	WE	出力	DRAM用のWEタイミング信号を出力します。
	53	OE	出力	DRAM用のOEタイミング信号を出力します。
	56, 58, 60 62, 63, 61 59, 57, 55, 54	FA0~FA9	出力	DRAM用のマルチプレクスアドレスを出力します。マルチプレクスされるアドレスは、アトリビュートコードのVCF0~VCF3, VMD0により異なります。
	44, 46 47, 45 40, 42 43, 41	FDO~FD7	入出力	FD信号は、ACRTCとフレームバッファ間のデータ転送および、フレームバッファから読み出された表示データを取り込むための8ビット入出力信号です。メモリ1個で使用する場合はFDO~FD3を使用し、2個、4個で使用する場合はFDO~FD7を使用します。
	3	DOTCLK	出力	DOTCLK信号はMIVACの基準入力信号であるINCLK信号を1, 2, 4 分周して出力します。分周比の設定は、アトリビュートコードのVCF0~VCF3により決まります。
	33, 34 36, 37	VIDEO A -VIDEO D	出力	VIDEO A信号は、表示データをMIVACのシフトレジスタで並列直列変換し、その結果をSHFTEN出力で示される表示期間に出力する4ビットの出力信号です。この4ビットのビデオ信号は、アトリビュートコードVCF0~VCF3により決まります。
	5	SHFTEN	出力	SHFTEN信号はビデオ信号の表示期間を示す出力信号です。表示期間に "High" レベルになります。ACRTCからのDISPTを、シングルアクセスでは後ろに1サイクル、デュアルアクセスでは後ろに2サイクル延ばして出力します。
	4	VSYNC. 2	出力	VSYNC. 2信号はACRTCに入力されます。 VSYNC信号を2分周した出力信号です。
その他	38	BL2IRQ	出力	BL2IRQ信号は、アトリビュートサイクルで入力されるBLINK2(MA19)によりセットされる出力信号です。アトリビュートサイクル中、BLINK2が "High" レベルのとき、BL2IRQは "Low" レベルになります。
	39	IRQCLR	入力	IRQCLR信号は、BL2IRQ信号をクリアする入力信号です。IRQCLRに "Low" を入力すると、BL2IRQがクリアされ、"High" レベルになります。

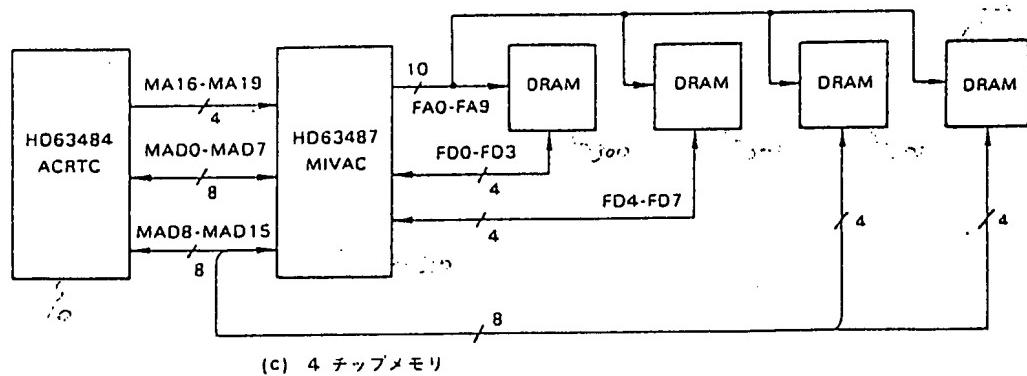
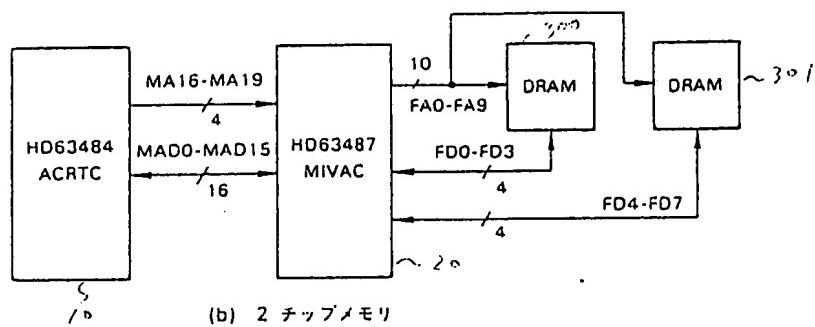
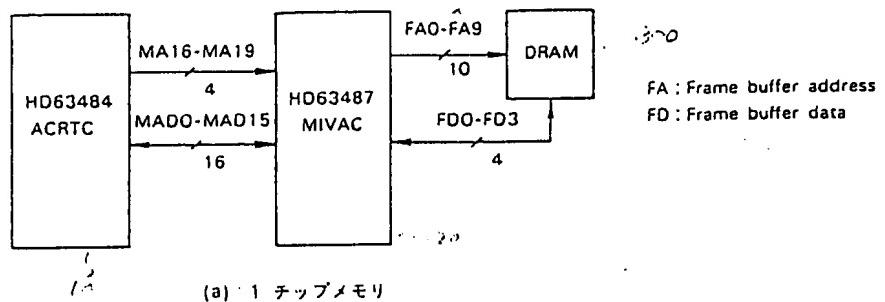
代理人 小川勝男

第 4 図



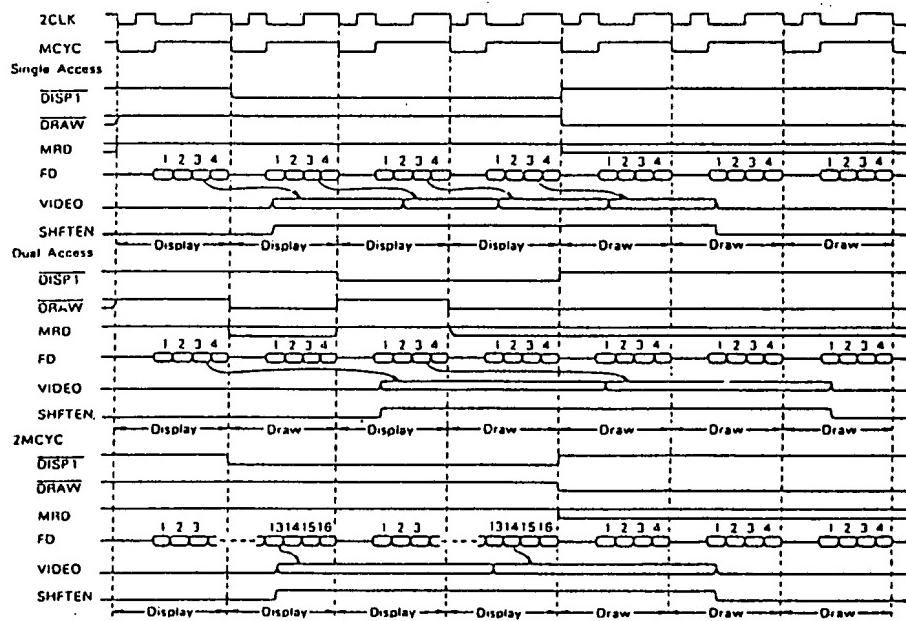
代理人 小川勝男

第 5 図



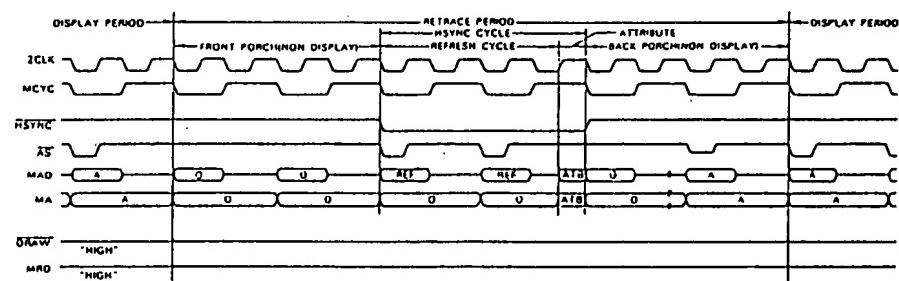
代理人 小川勝男

第 6 図



代理人 小川勝男

第 7 図



代理人 小川勝男

第 8 図

MA19	BLINK2	BL2IRQ 出力を設定します。
MA18	BLINK1	グラフィックカーソルのブリンクを設定します。
MA17	SPL2	
MA16	SPL1	
MAD15	HZ3	
	{	
MAD12	HZO	MIVAC では使用しません。
MAD11	HSD3	
	{	
MAD8	HSDO	ビデオ出力のマルチブレクスの可否を設定します。
MAD7	MUXEN	フレームバッファメモリの深さを設定します。
MAD6	VMD	
MAD5	CUR1	グラフィックカーソルの表示色を設定します。
MAD4	CUR0	
MAD3	VCF3	MIVAC の動作モード（表示色、シフトレジスタのシフト量、
MAD2	VCF2	アクセスモード等）を設定します。
MAD1	VCF1	
MAD0	VCF0	

代理人 小川勝男

第9図

E-F	CRT画面構成例 (ドット×ラスター)	フレーム バッファ 最大容量(バイト)	ACRTC 動作周波数 (MHz)	メモリ アクセススピード	高遅 延面	メモリの 回数 (ヶ)	カラー／ 階調	シフト長 (ビット)	最大ドット クロック 周波数(MHz)
O	640×200, 350, 400, 480					モノクロ	16	33	
	640×200,					4	8	16.5	
I	480×240, 320×200, 240	512k/128k				16	4	8.25	
2	320×200, 240 266×192					4	16	33	
J	640×200, 350, 400, 480					2	16	8	16.5
4	640×200, 480×240, 320×200, 240	1M/256k				4			33
5	640×200, 350, 400, 480	2M/512k							
6	640×200, 480×240, 320×200, 240					1	モノクロ	16	16.5
7	320×200, 240 256×192	512k/128k	4.13	480nsec/ 4回アクセス		4	8	8.25	
8	640×200, 350, 400, 480					モノクロ	32	33	
9	640×200, 480×240, 320×200, 240	1M/256k				2	4	16	16.5
A	320×200, 240 256×192					16	8	8.25	
B	640×200, 350, 400, 480					4	32	33	
C	640×200, 480×240, 320×200, 240	2M/512k				4	16	16.5	
D	640×200, 350, 400, 480					4	32	33	
E	640×200, 480×240, 320×200, 240	512k/128k		960nsec/ 16回アクセス	-	1	16	16	16.5
F	640×200, 350, 400, 480	1M/256k				2		32	33

代理人 小川勝男



第 10 図

モード	ドットクロック周波数
O, 3, 5, 8 B, D, F	33MHz ~ 11MHz
1, 4, 6, 9 C, E	16.5MHz ~ 5.5MHz
2, 7, A	8.25MHz ~ 2.75MHz

代理人 小川勝男

第 11 図

CUR1	CUR0	カーソル表示色
0	0	黒 (VIDEO A～VIDEO D=0)
0	1	白 (VIDEO A～VIDEO D=1)
1	0	VIDEO A～VIDEO Dの各ビット毎の色反転
1	1	VIDEO A～VIDEO Cの各ビット毎の色反転 (VIDEO Dはそのまま出力)



代理人 小川勝男

第 12 図

VMD	使用メモリ素子
0	256k × 4bit DRAM
1	1M × 4bit DRAM

代理人 小川勝男

第 13 図

MUXEN	VSYNC/2	VIDEO A	VIDEO B
0	0	A	B
	1	A	B
1	0	A	B
	1	C	D

代理人 小川勝男

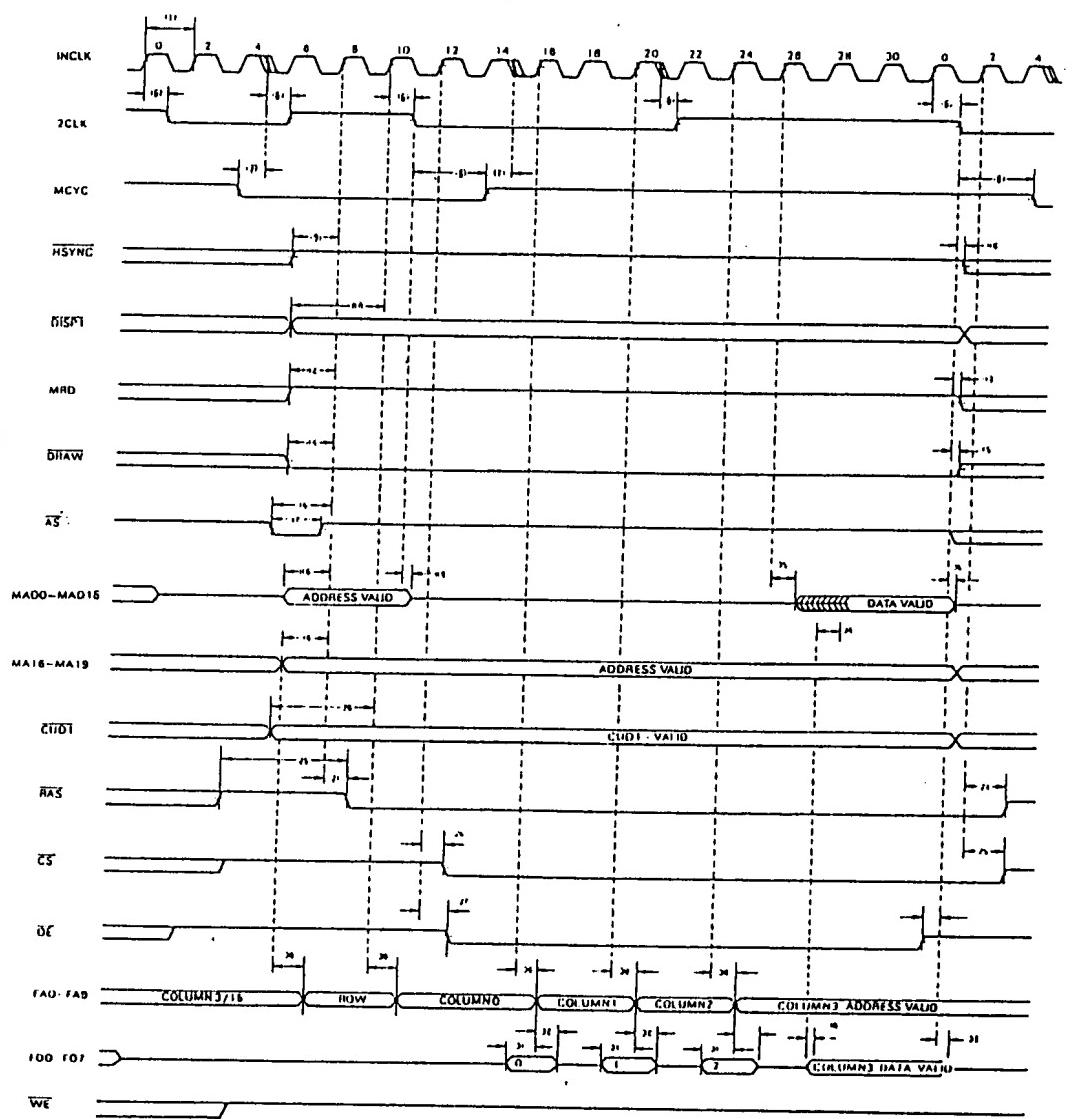
第 14 図

BLINK1	グラフィックカーソル表示
0	表示しません
1	表示します



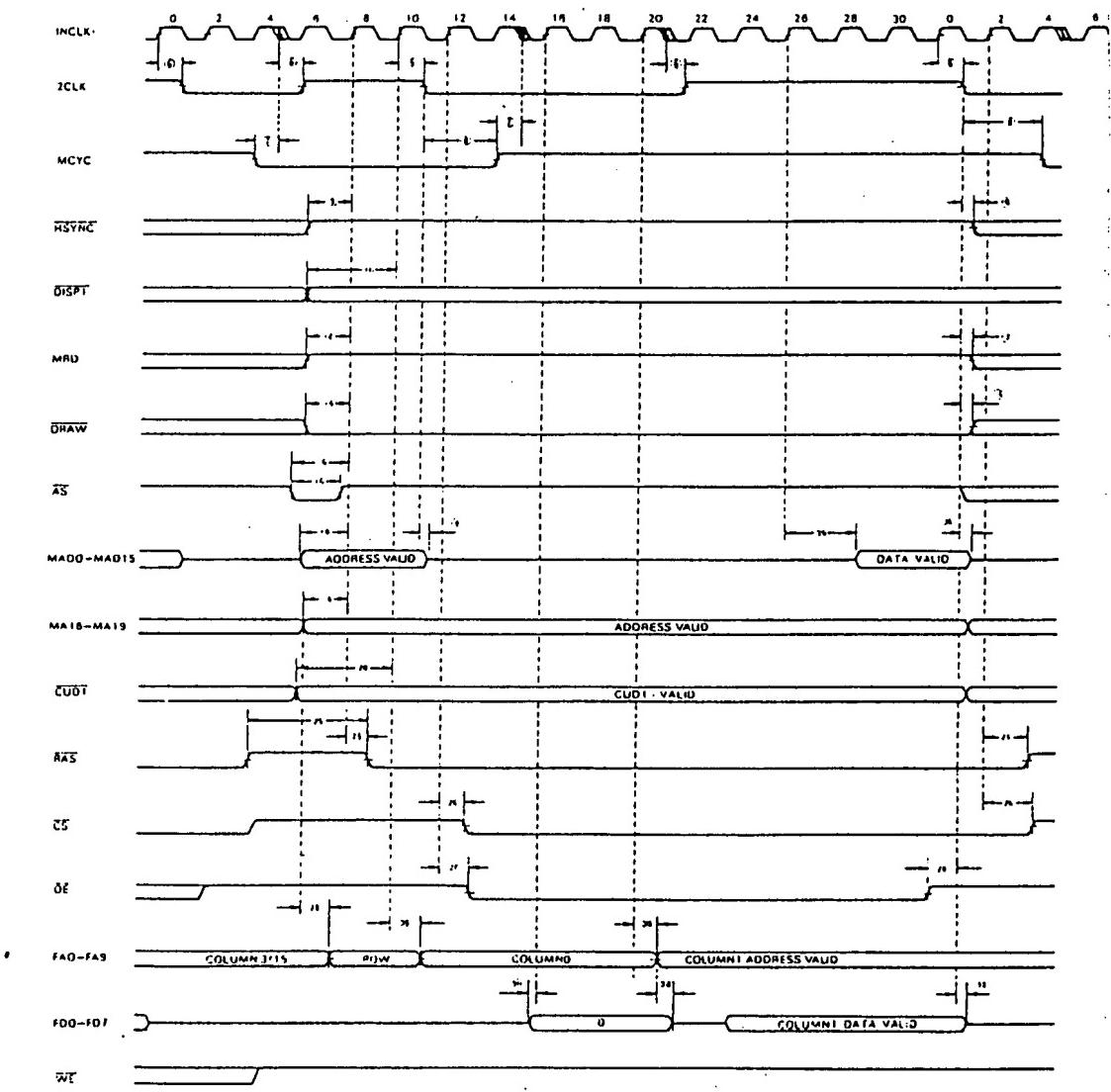
代理人 小川勝男

第 15 図



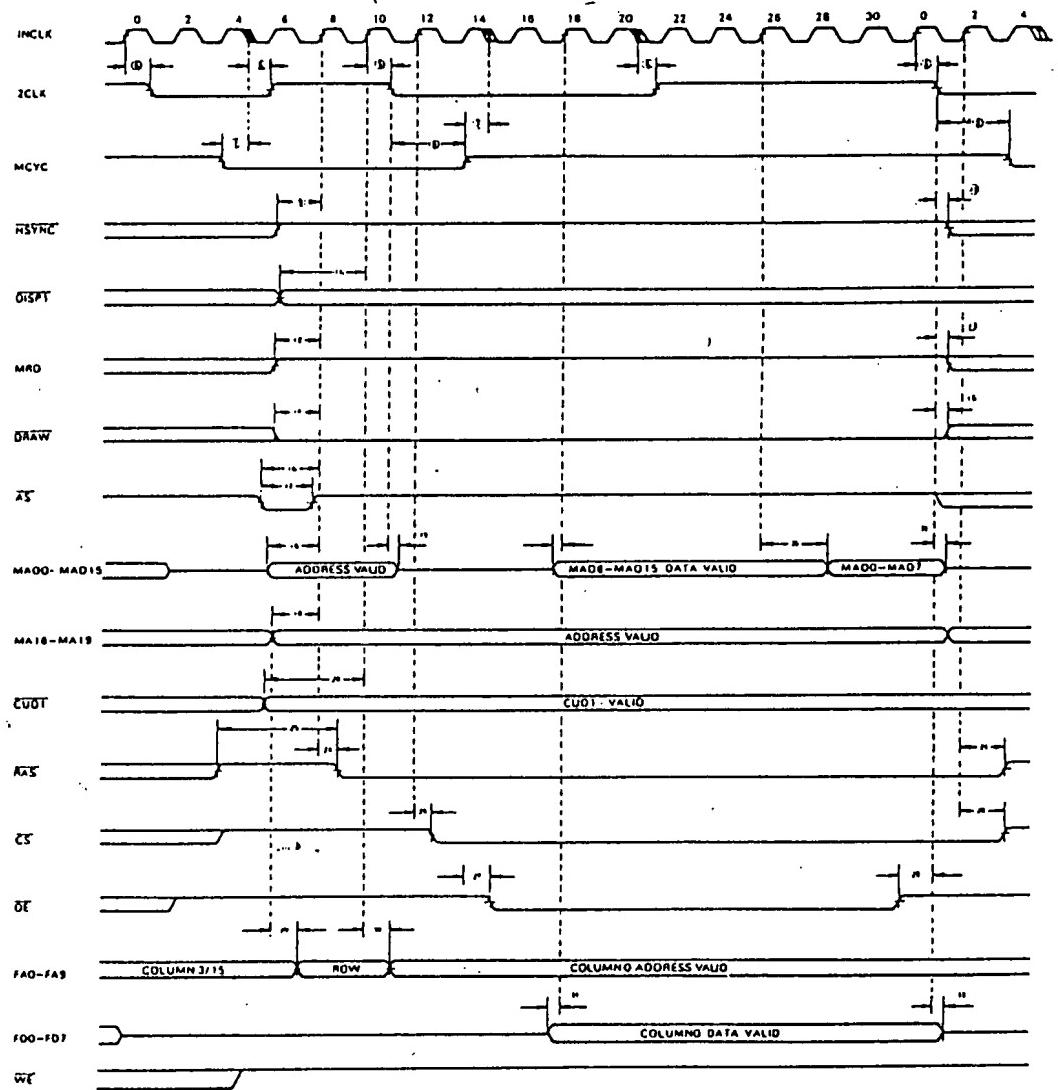
代理人 小川勝男

第 16 図



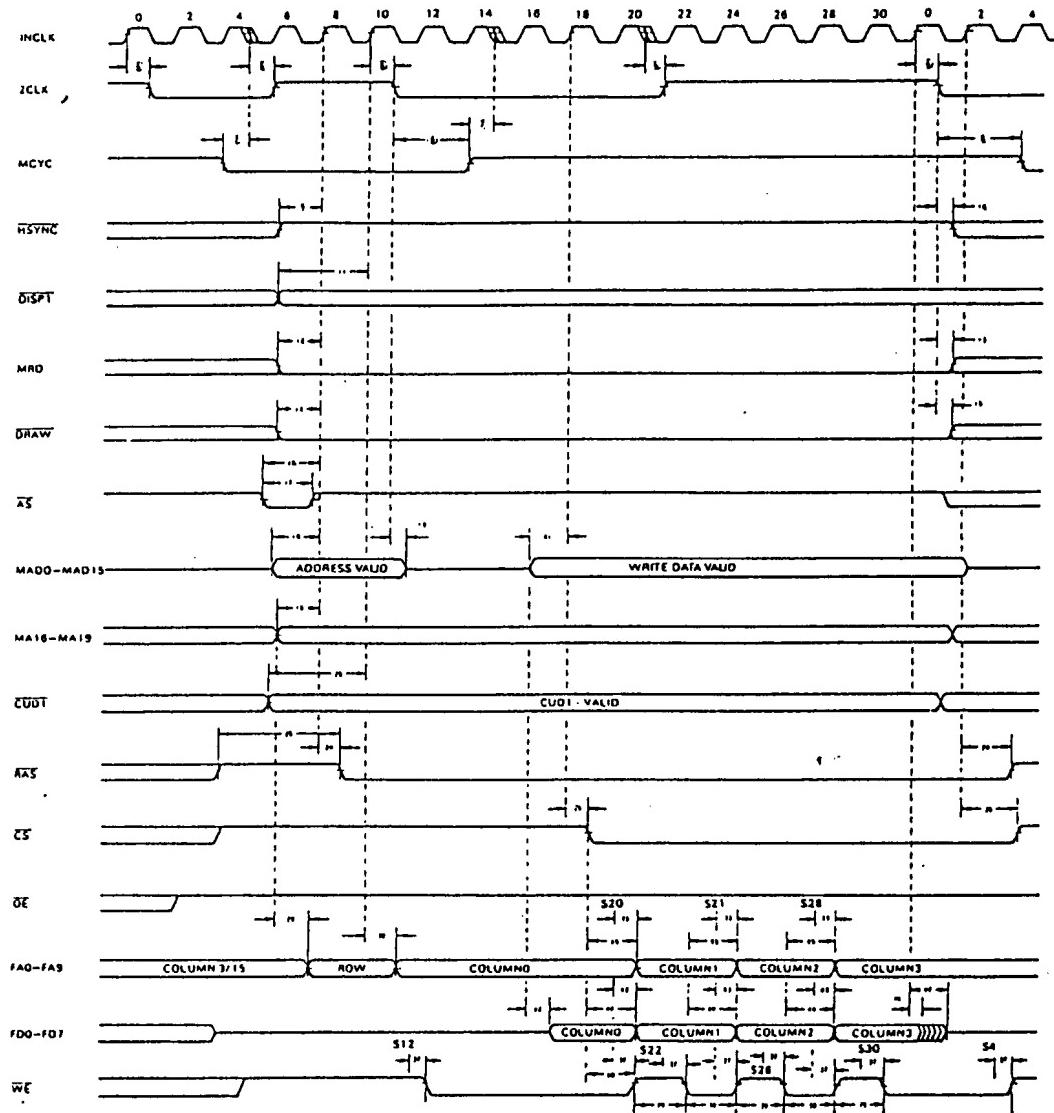
代理人 小川勝男

第 17 図



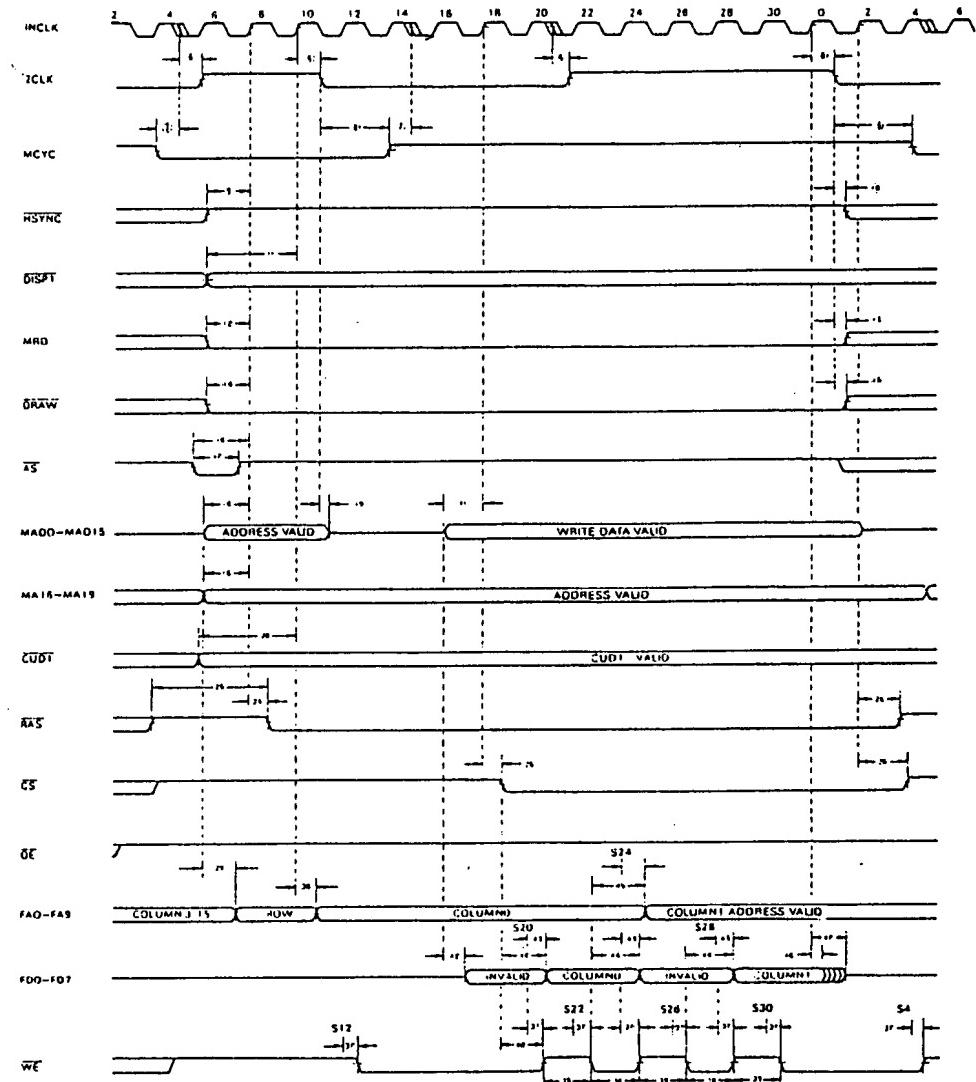
代理人 小川勝男

第 18 図



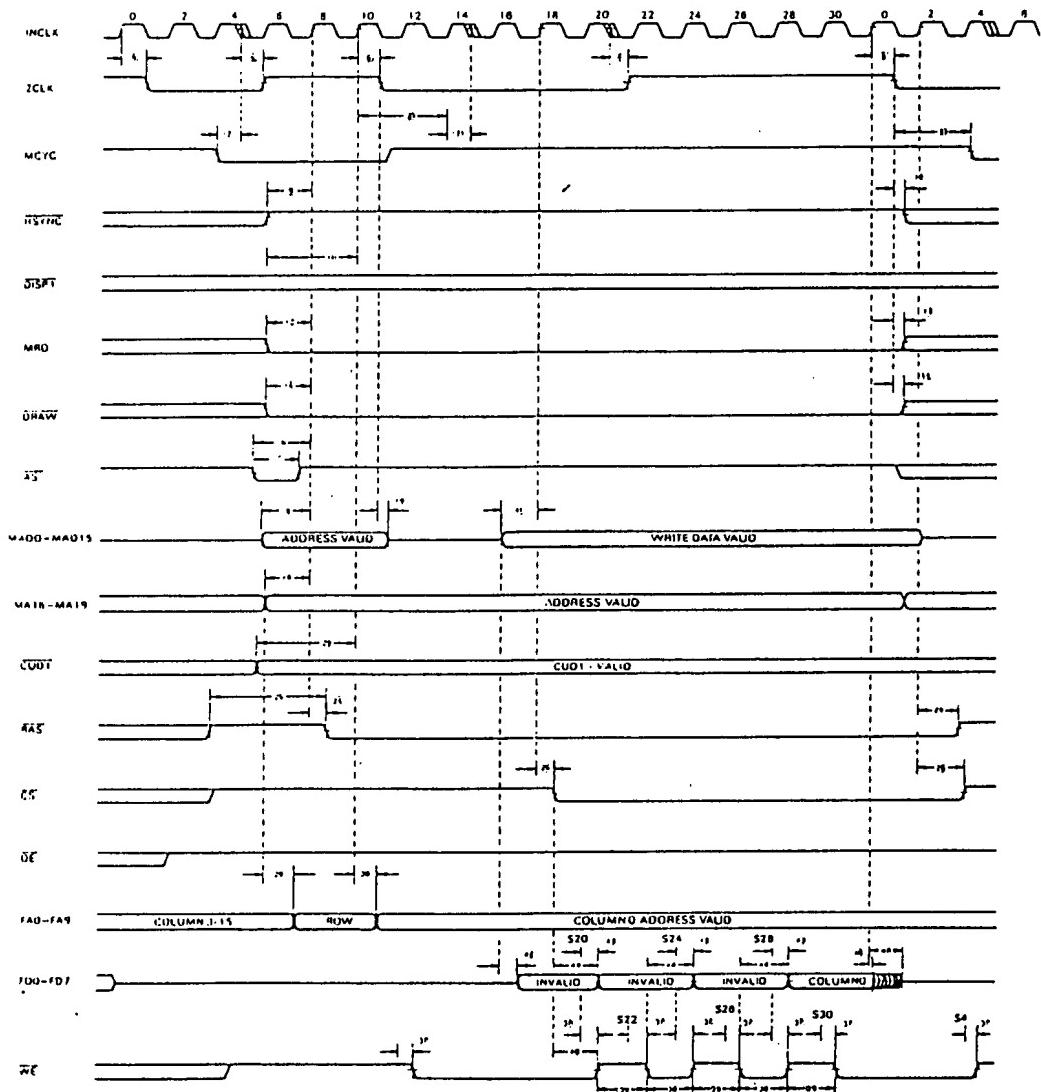
代理人 小川勝男

第 19 図



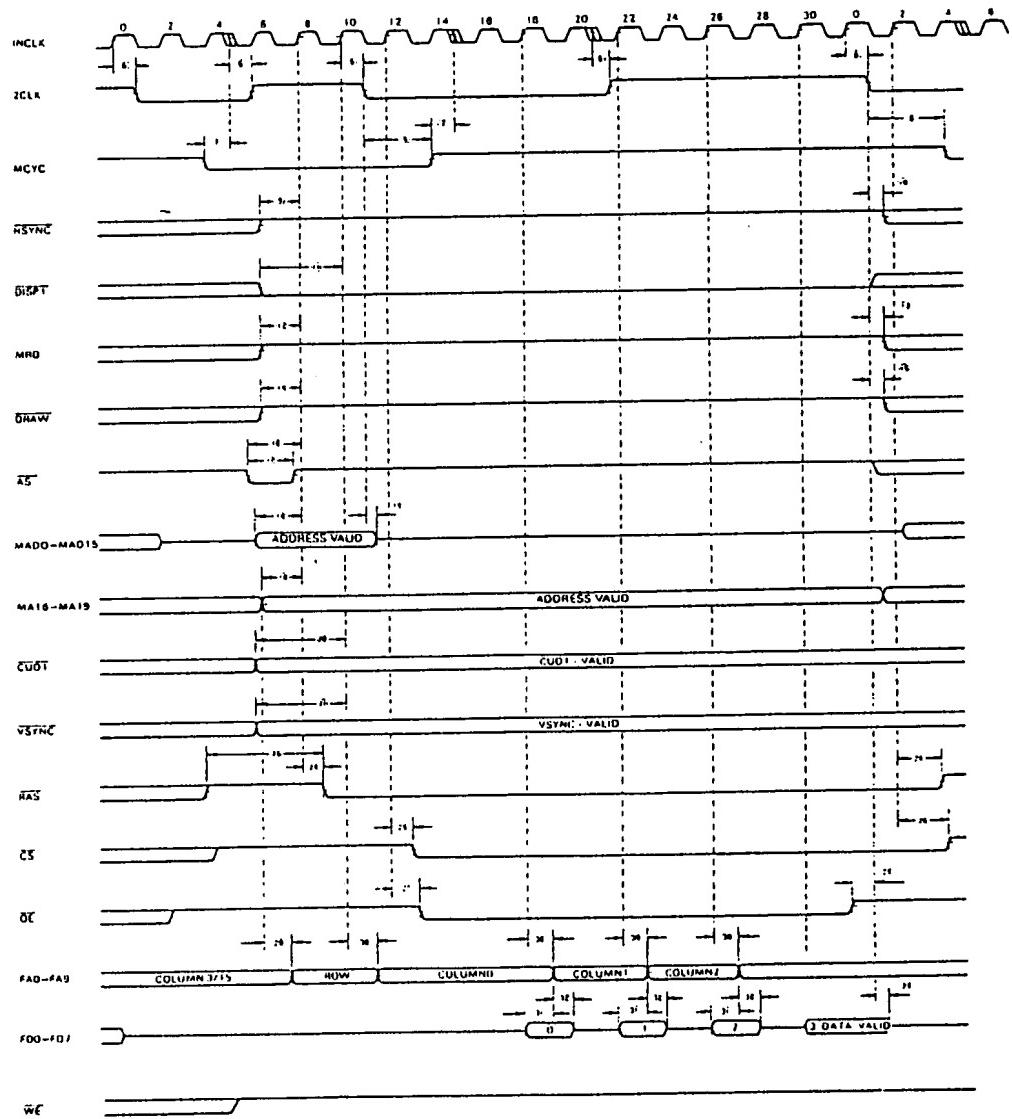
代理人 小川勝男

第 20 回



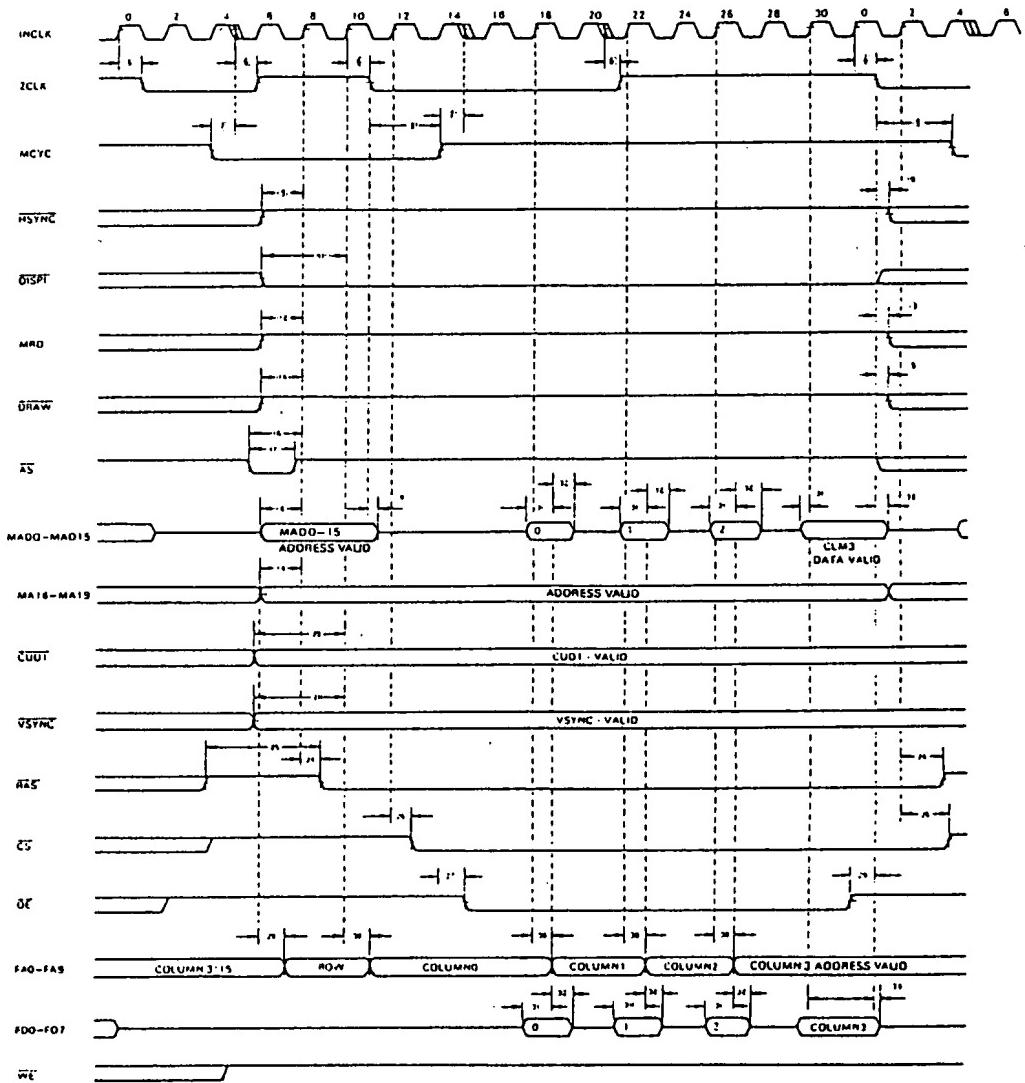
代理人 小川勝男

第 21 図



代理人 小川勝男

図 22



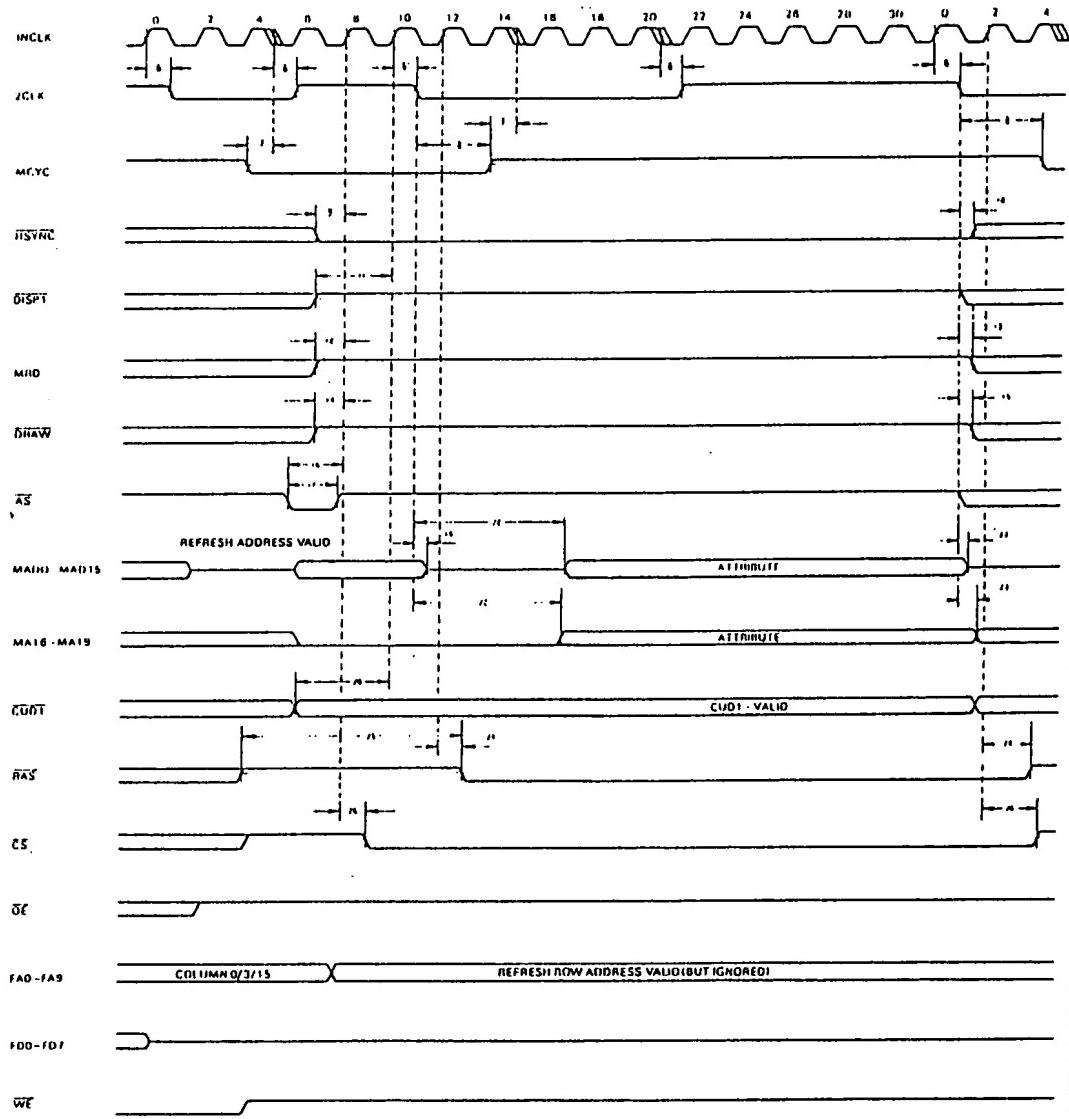
代理人 小川勝男

図 23

2Mアセス/1MCYC (拡張)		4Mアセス/1MCYC (表示)		16Mアセス/2MCYC (表示)	
Row	Column	Row	Column	Row	Column
9	-	HA18	HC0	-	-
8	HA09	HA11	NC1	HA18	HC0
7	HA08	HA07	HA09	HA09	HA09
6	HA16	HA16	HA07	HA08	HA08
5	HA05	HA05	HA06	HA07	HA07
4	HA04	HA04	HA05	HA06	HA06
3	HA03	HA03	HA04	HA05	HA05
2	HA02	HA02	HA03	HA04	HA04
1	HA01	HA01	HA02	HA05	HA05
0	HA00	HA00	HA01	HA06	HA06

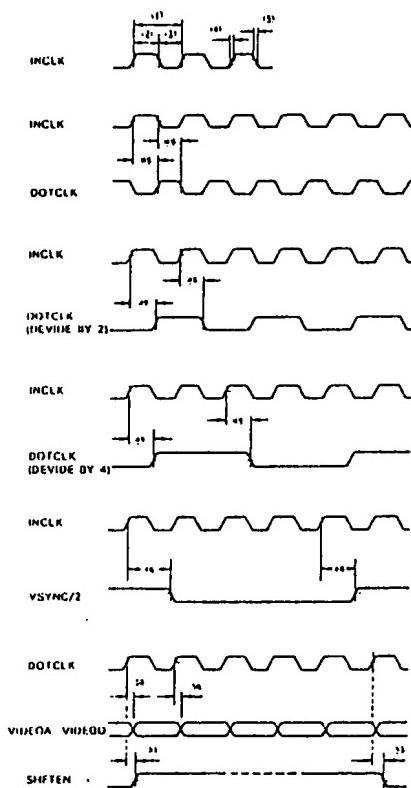
[] : column address counter

第 24 図



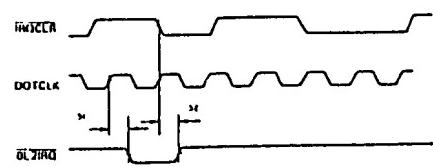
代理人 小川勝男

第 25 図



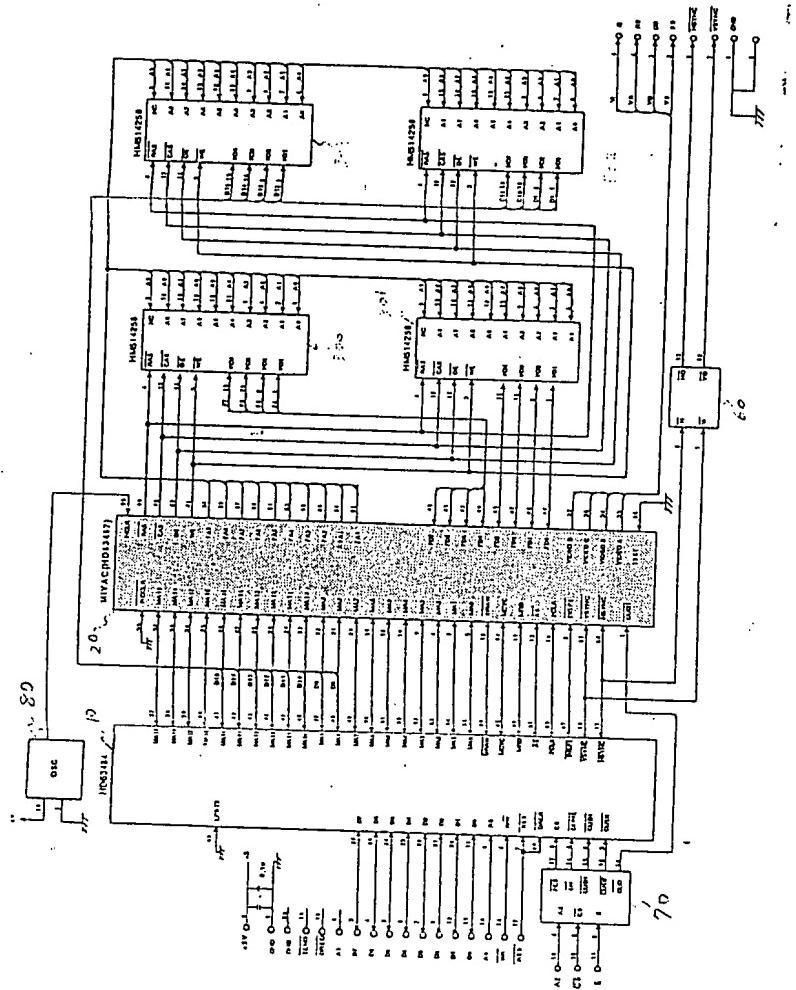
代理人 小川勝男

第 26 図



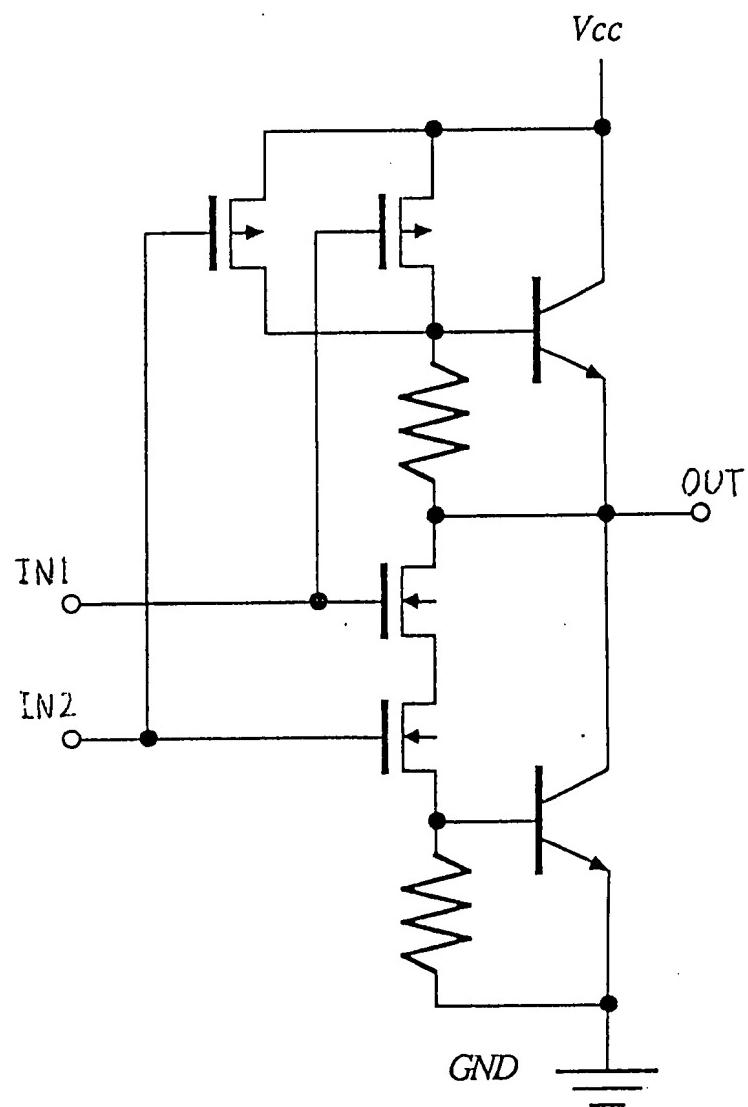
代理人 小川勝男

男 勝 川 小 人 代理



第27回

第 28 図



代理人 小川勝男

第 29 図 (a)

FA	4回アクセス/1MCYC (描画, 表示.)				16回アクセス/2MCYC (表示)			
	256Kx4-bit (VMDO=0)		1Mx4-bit (VMDO=1)		256Kx4-bit (VMDO=0)		1Mx4-bit (VMDO=1)	
	Row	Column	Row	Column	Row	Column	Row	Column
9	-	-	MAD8	NC0	-	-	MAD8	NC0
8	MAD9	NC1	MAD9	NC1	MAD9	NC1	MAD9	NC1
7	MAD8	NC2	MA17	MA07	MAD8	NC2	MA17	MAD7
6	MAD7	MAD6	MA16	MAD6	MAD7	MAD6	MA16	MAD6
5	MAD15	MAD5	MAD15	MAD5	MAD15	MAD5	MAD15	MAD5
4	MAD14	MAD4	MAD14	MAD4	MAD14	MAD4	MAD14	MAD4
3	MAD13	MAD3	MAD13	MAD3	MAD13	MAD3	MAD13	MAD3
2	MAD12	MAD2	MAD12	MAD2	MAD12	MAD2	MAD12	MAD2
1	MAD11	MAD1	MAD11	MAD1	MAD11	WC1	MAD11	WC1
0	MAD10	MAD0	MAD10	MAD0	MAD10	WC0	MAD10	WC0

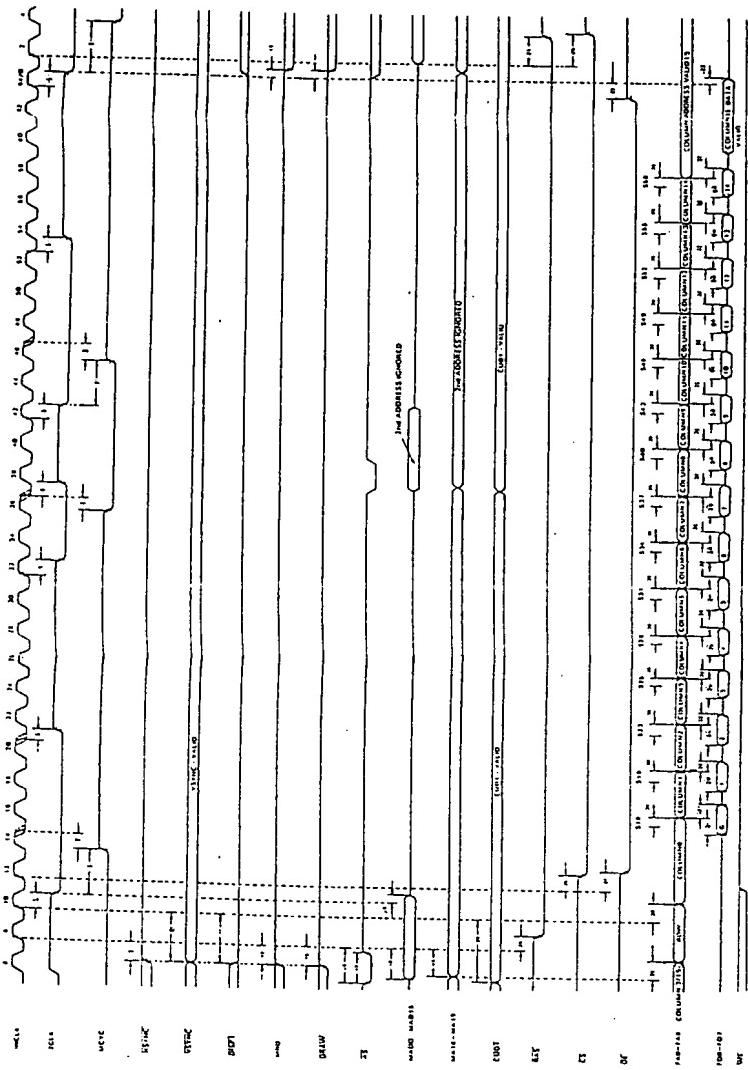
[]: Column address counter



代理人 小川勝男

代理人 小川勝男

第29圖(b)



第 29 図 (c)

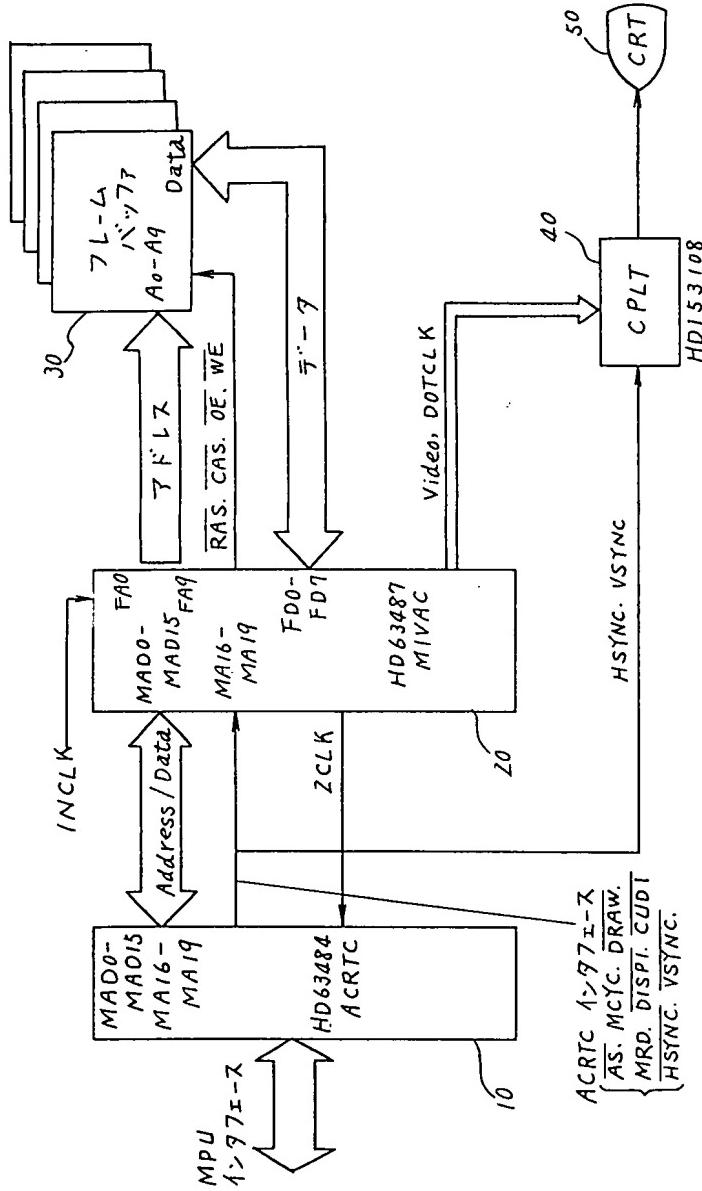
FA	1回72ビット/1MCYC (描画)				4回72ビット/1MCYC (表示)			
	256Kx4-bit (VMDO=0)		1Mx4-bit (VMDO=1)		256Kx4-bit (VMDO=0)		1Mx4-bit (VMDO=1)	
	Row	Column	Row	Column	Row	Column	Row	Column
9	-	-	MA18	MAD9	-	-	MA18	MAD9
8	MAD9	MAD8	MA19	MAD8	MAD9	MAD8	MA19	MAD8
7	MA17	MAD7	MA17	MAD7	MA17	MAD7	MA17	MAD7
6	MA16	MAD6	MA16	MAD6	MA16	MAD6	MA16	MAD6
5	MAD15	MAD5	MAD15	MAD5	MAD15	MAD5	MAD15	MAD5
4	MAD14	MAD4	MAD14	MAD4	MAD14	MAD4	MAD14	MAD4
3	MAD13	MAD3	MAD13	MAD3	MAD13	MAD3	MAD13	MAD3
2	MAD12	MAD2	MAD12	MAD2	MAD12	MAD2	MAD12	MAD2
1	MAD11	MAD1	MAD11	MAD1	MAD11	WC1	MAD11	WC1
0	MAD10	MAD0	MAD10	MAD0	MAD10	WC0	MAD10	WC0

[]: Column address counter



代理人 小川勝男

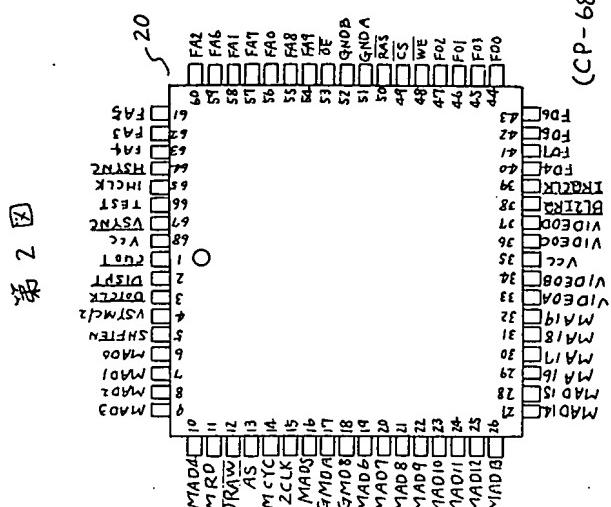
第 1 図



男 勝 川 小 人 理 代

卷之三

(CP-68)



第2章

9 235

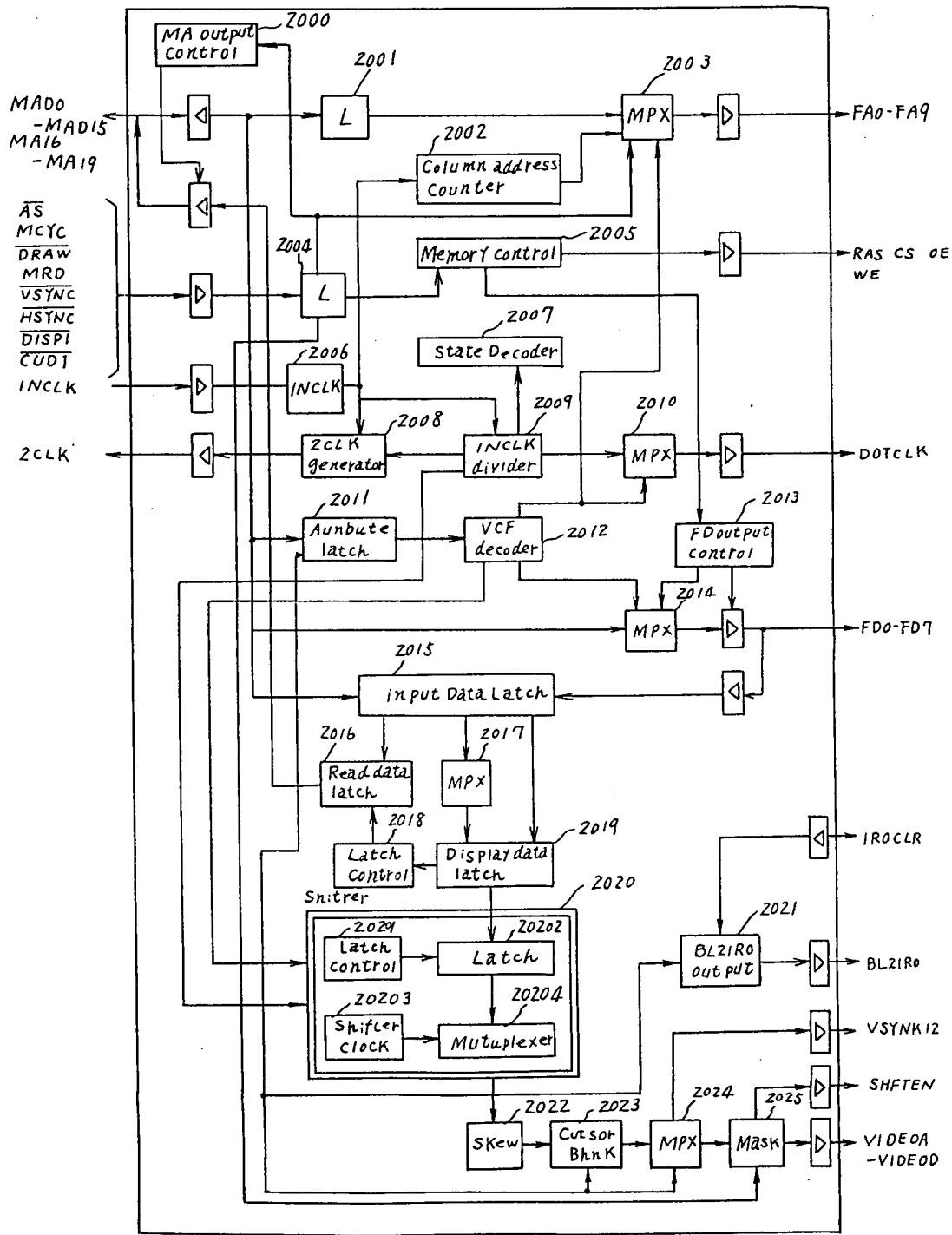
第3... 図 (a)

分類	端子番号	端子名	入出力	機能
電源	35-68	Vcc	—	+5V電源を供給します。(Vccは2本も必ず接続して下さい)
	17-18 51-52	Vss	—	GNDに接続します。(Vssは4本も必ず接地して下さい)
動作制御信号	65	INCLK	入力	MIVACの基準となるクロックを入力します。
	66	TEST	入力	MIVACの動作をテストする時に使用します。 "Low"レベルに固定して下さい。
ACRTC インターフェース 信号	15	ZCLK	出力	ACRTC用ZCLK信号を出力します。1メモリサイクル中、前半のサイクルと後半のサイクルではサイクル長が異なる非対称形で生成出力します。
	14	MCYC	入力	ACRTCからのMCYC信号を入力します。 MCYCはACRTCがアドレスサイクルのとき"Low"レベルを示しデータサイクルのときは"High"レベルを示します。
	12	DRAW	入力	ACRTCからのDRAWは信号入力します。 DRAWはACRTCが描画サイクルか否かを示します。DRAWは描画サイクルのときは"Low"レベルが入力されそれ以外は"High"レベルが入力されます。
	11	MRD	入力	ACRTCからのMRD信号を入力します。 MRDはフレームバッファとACRTC間のデータ転送方向を制御します。 フレームバッファからデータを読み出す場合は"High"レベルを入力しフレームバッファへデータを書き込む場合は"Low"レベルを入力します。
	13	AS	入力	ACRTCからのAS信号を入力します。 ASはメモリアクセスの有無を示す信号として用います。
	64	H SYNC	入力	ACRTCからのH SYNC信号を入力します。 H SYNCが"Low"レベル DRAWが"High"レベルの条件で ASハルスが入力されると CSビフォア RASリフレッシュ動作を行います。
	67	V SYNC	入力	ACRTCからのV SYNC信号を入力します。 入力にて V SYNCは2分周され V SYNC/2信号として出力されまたビデオ出力のマルチブレフアの制御に用いられます。
	2	DISP1	入力	ACRTCからのDISP1信号を入力します。 DISP1は画面の表示期間を示します。 通常ACRTCのDSP(Display Signal control)ビットに"1"を設定してください。
	1	CUD1	入力	ACRTCからのCUD1信号を入力します。 CUD1はグラフィックカーソル表示期間に"Low"レベルが入力されます。
	6-10 16 19-28	MAD0 -MAD15	入出力	ACRTCのMAD0-MAD15を接続します。 MCYCが"Low"レベルのアドレスサイクルのとき フレームバッファアクセス用アドレスとなり "High"レベルのデータ転送サイクルのとき ACRTCとフレームバッファ間のデータ転送用のデータ入出力となります。
	29-32	MA16-MA19	入力	ACRTCからのフレームバッファアクセス用アドレスMA16-MA19を入力します。

第3回 (b)

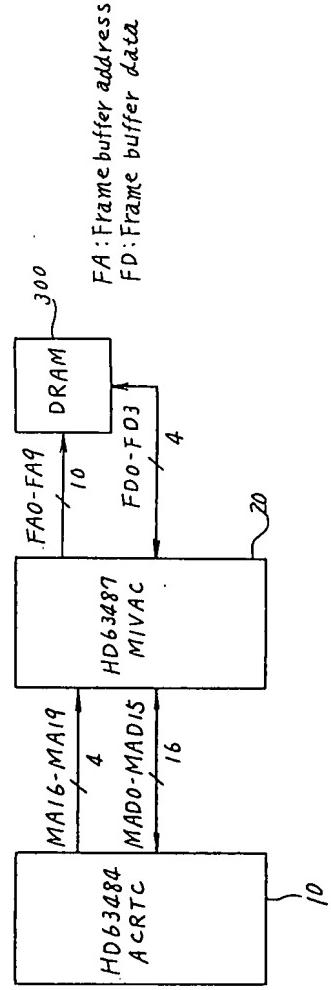
分類	端子番号	端子名	入出力	機能
フレームバッファ信号	50 RAS 49 C-S 48 WE 53 OE	出力 出力 出力 出力	DRAM用のRASタイミング信号を出力します。 DRAM用のCSタイミング信号を出力します。 DRAM用のWEタイミング信号を出力します。 DRAM用のOEタイミング信号を出力します。	
アドレス	56-58, 60-62, 63-64 59-57, 55-54 46, 47, 45 46, 42 43, 41 3	出力 FD0-FD9 FD0-FD7 FD0-FD7 VIDEO A VIDEO A -VIDEO0 SHFTEN VSYNC2 BL2IRQ TRACLR	アドレスは、アトリビュートコードのYCF0-VCF3.VM00により異なります。 FD1信号はACRTCとフレームバッファ間へデータ転送信号がフレームバッファから読み出される場合にデータを取込むための8ビットへ出力信号です。 メモリ1個ご使用する場合はFD0-FD3を使用し2回、4個ご使用する場合はFD0-FD7を使用します。 VIDEO A信号はMIVACの基準へカ信号であるINCLK記号と1.2.4節にて示されています。アトリビュートコードのVCF0-VCF3により決まります。 VIDEO A信号は表示データをMIVACのソフトウェア並列直列変換しその結果をSHIFTEN出力で示されます。期間出力34ビットの出力信号です。この4ビットのビデオ信号はアトリビュートコードVCF0-VCF3により決まります。 SHIFTEN信号はビデオ信号の表示期間を示す出力信号です。表示期間にHIGHレベルになります。ACRTCからのDISP1をシングルアクセスでは後ろに1サイクル、デュアルアクセスでは後ろに2サイクル延ばして出力します。 VSYNC/2信号はACRTCに入力されます。 VSYNC信号を2分割して出力信号です。	
CRTディスプレイインターフェース信号	33, 34 36, 37	出力 出力	VIDE0A VIDE0A -VIDEO0	
その他	5 4 38 39	出力 出力 出力 入力	SHIFTEN VSYNC2 BL2IRQ TRACLR	

第 4 四

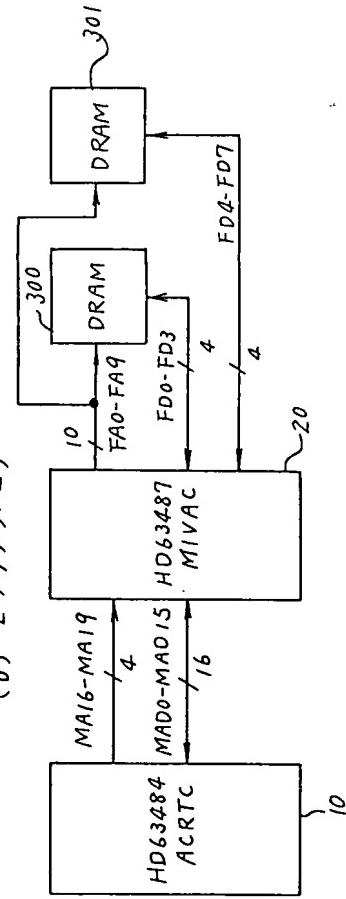


第5回

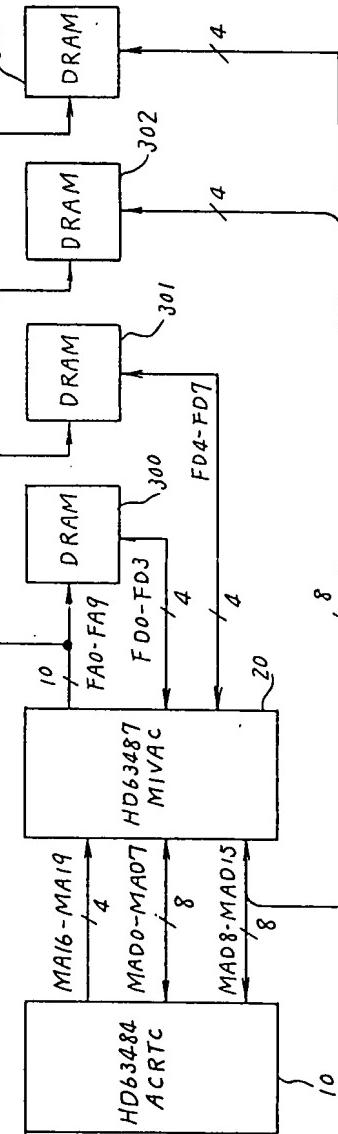
(a) 1チップモード



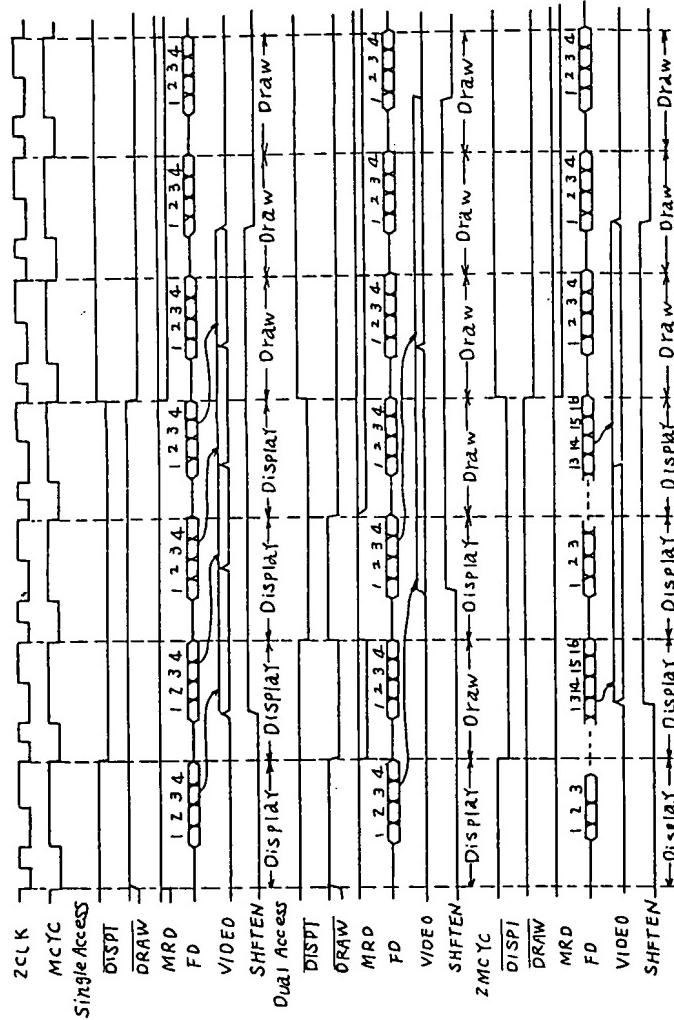
(b) 2チップモード



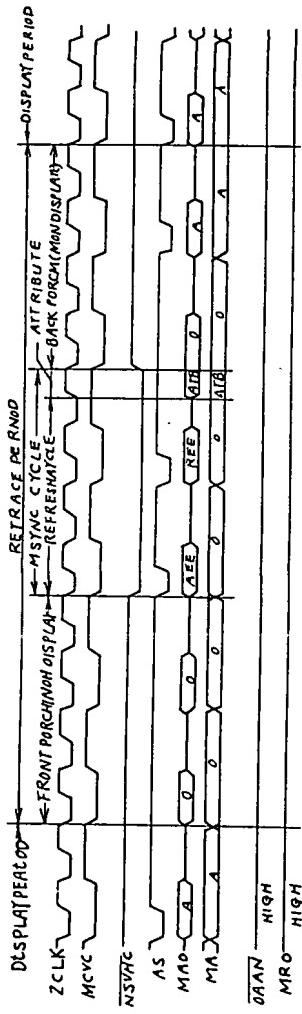
(c) 4チップモード



第6回



第 7 図



第8図

<i>MA19</i>	<i>BLINK2</i>	<p><i>BL2/R0</i> 出力を設定します。 グラフィックカーソルのブリンクを設定します。</p>
<i>MA18</i>	<i>BLINK1</i>	
<i>MA17</i>	<i>SPL2</i>	
<i>MA16</i>	<i>SPL1</i>	
<i>MAD15</i>	<i>HZ3</i>	
<i>MAD12</i>	<i>HZ0</i>	
<i>MAD11</i>	<i>HSD3</i>	<p><i>MIVAC</i>は使用しません。</p>
<i>MAD8</i>	<i>HSD0</i>	<p><i>MIVAC</i>は使用しません。</p>
<i>MAD7</i>	<i>MUXEN</i>	<p>ビデオ出力のマルチプレクスの可否を設定します。</p>
<i>MAD6</i>	<i>VMD</i>	<p>フレームバッファメモリの深さを設定します。</p>
<i>MAD5</i>	<i>CUR1</i>	<p>グラフィックカーソルの表示色を設定します。</p>
<i>MAD4</i>	<i>CUR0</i>	<p><i>MIVAC</i>の動作モード(表示色、ソフトレジスタのシフト量 アセスマード等)を設定します。</p>
<i>MAD3</i>	<i>VCF3</i>	
<i>MAD2</i>	<i>VCF2</i>	
<i>MAD1</i>	<i>VCF1</i>	
<i>MAD0</i>	<i>VCF0</i>	



代理人 小川勝男

第9回

モード	CRT画面構成例 (ドット×ラスター)	ACRTC 動作周波数(MHz)	メモリ アクセスビット 容量(Mbit)	高速 メモリ 容量 面面	シフト表 メモリ 容量 (bit)	カラー/ 音階調 モード	最大ドット 周波数(MHz)
0	640×200, 350, 400, 480	512K/128K	-	1	4	8	16.5
1	640×200, 480×240	512K/128K	-	1	4	8	16.5
2	320×200, 240	512K/128K	-	1	4	8, 2.5	3.3
3	266×192	512K/128K	-	2	16	8	16.5
4	640×200, 350, 400, 480	1M/256K	-	4	16	8	3.3
5	480×240	1M/256K	-	1	モード	16	16.5
6	320×200, 240	512K/128K	480nsec/ 4回アスク	4	16	8	3.3
7	256×192	512K/128K	480nsec/ 4回アスク	1	モード	16	16.5
8	640×200, 350, 400, 480	2M/512K	480nsec/ 4回アスク	4	16	8	8, 2.5
9	480×240	1M/256K	480nsec/ 4回アスク	2	4	16	16.5
A	320×200, 240	1M/256K	480nsec/ 4回アスク	1	8	8	8, 2.5
B	320×200, 240	2M/512K	480nsec/ 4回アスク	4	32	32	3.3
C	256×192	2M/512K	480nsec/ 4回アスク	4	16	16	16.5
D	640×200, 350, 400, 480	512K/128K	960nsec/ 16回アスク	1	16	16	3.3
E	480×240	512K/128K	960nsec/ 16回アスク	2	32	32	3.3
F	320×200, 240	1M/256K	960nsec/ 16回アスク	-	-	-	-
G	640×200, 350, 400, 480	1M/256K	960nsec/ 16回アスク	-	-	-	-

代理人 小川勝男

第 10 図

モード	ドップル周波数
0. 3. 5. 8 B. D. F	33MHz~11MHz
1. 4. 6. 9 C. E	16.5MHz~5.5MHz
2. 7. A	8.25MHz~2.75MHz



第 11 図

CUR1	CUR0	カーネル表示色
0	0	黒 (VIDEO A ~ VIDEO D = 0)
0	1	白 (VIDEO A ~ VIDEO D = 1)
1	0	VIDEO A ~ VIDEO D の各ビット毎の色反転
1	1	VIDEO A ~ VIDEO C の各ビット毎の色反転 (VIDEO D はそのまま出力)

代理人 小川勝男



第12図

VMOD	使用メモリ素子
0	256K×4bit DRAM
1	1M×4bit DRAM

代理人 小川勝男



第13図

MUXEN	VSYNC12	VIDEA	VIDE0B
0	0	A	B
1	1	A	B

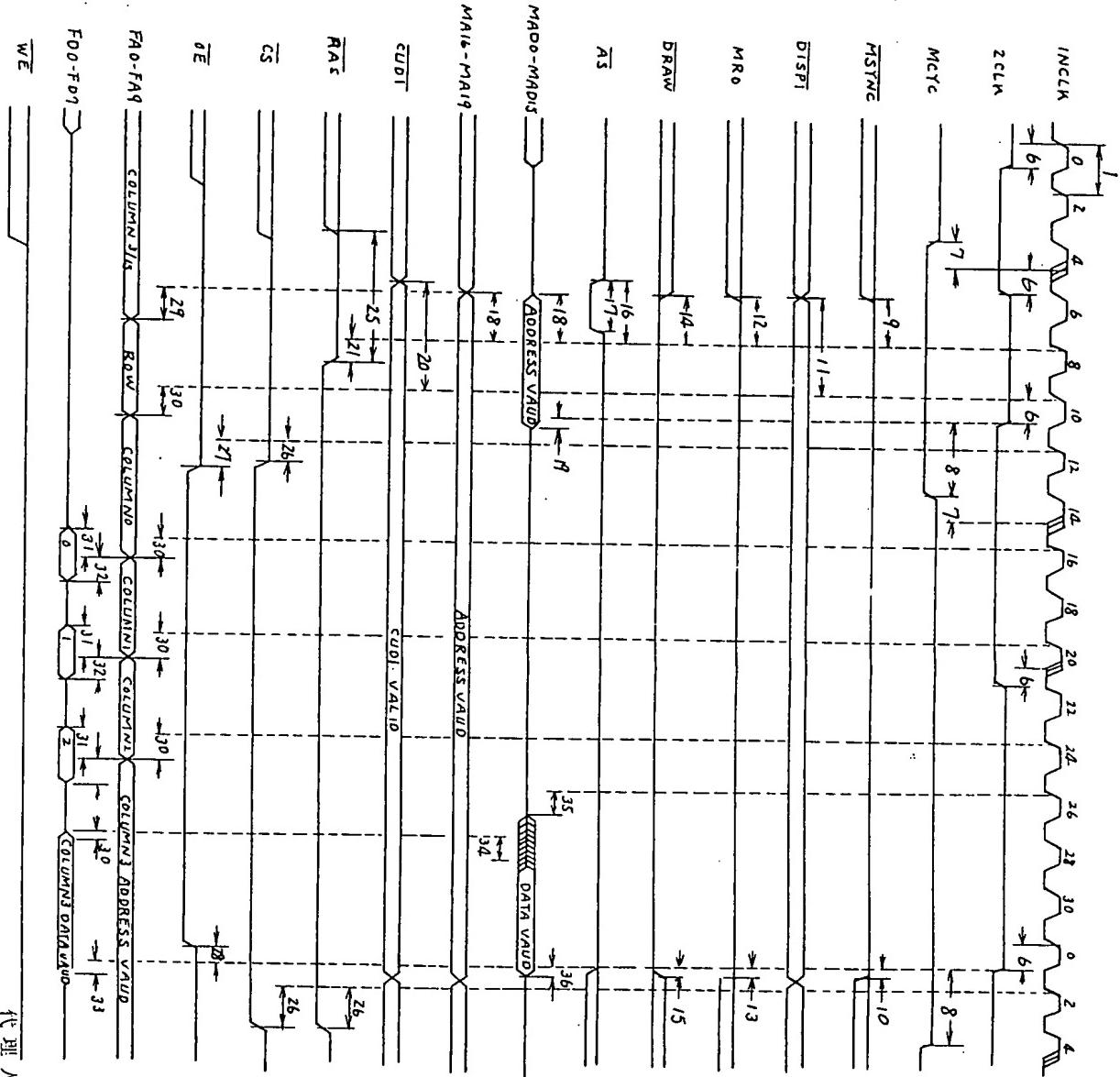
代理人 小川勝男



第14回

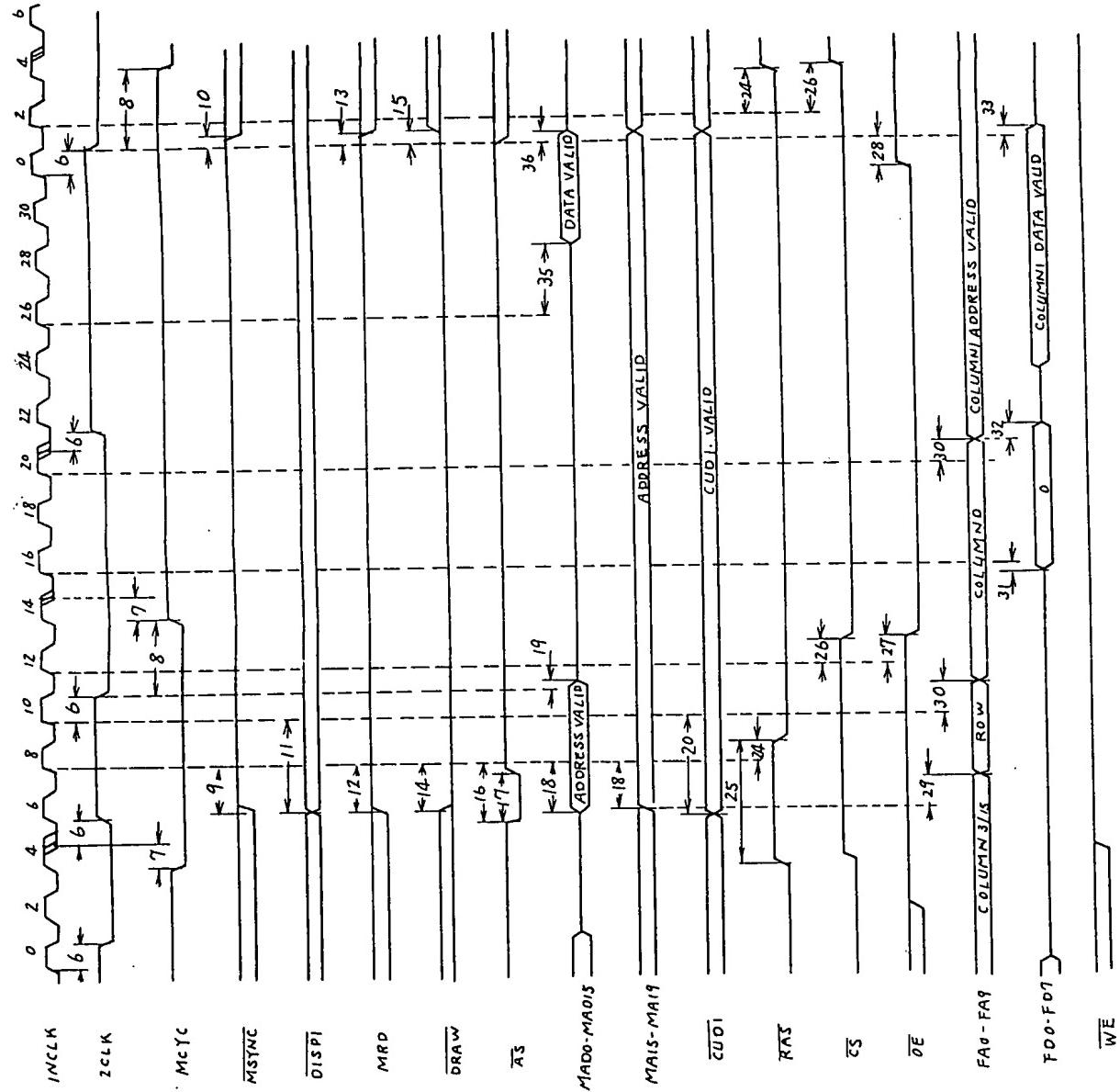
BLINK	グラフィック表示
0	表示しません
1	表示します

卷之三

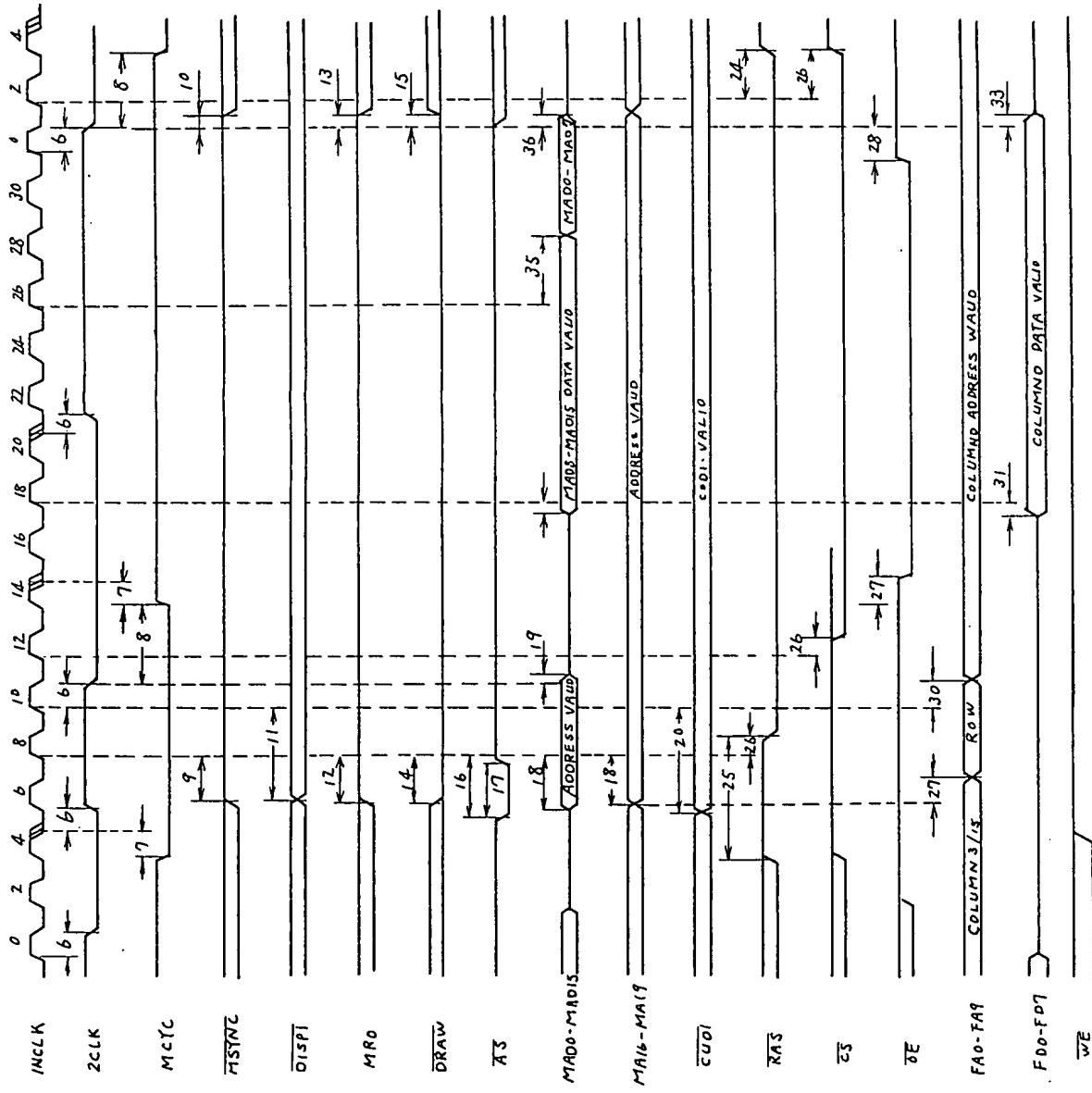


代理人 小川勝男

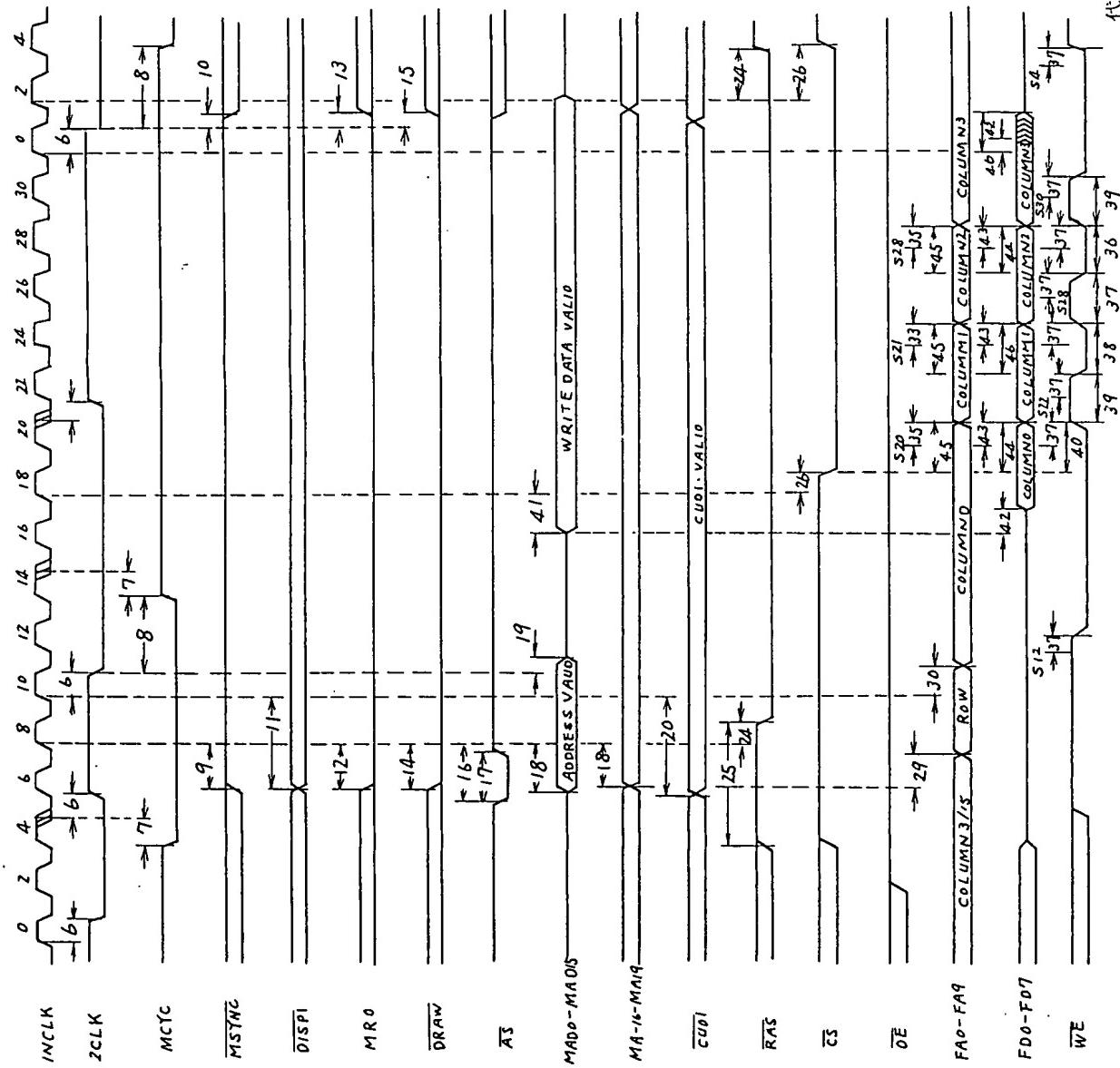
第 16 図



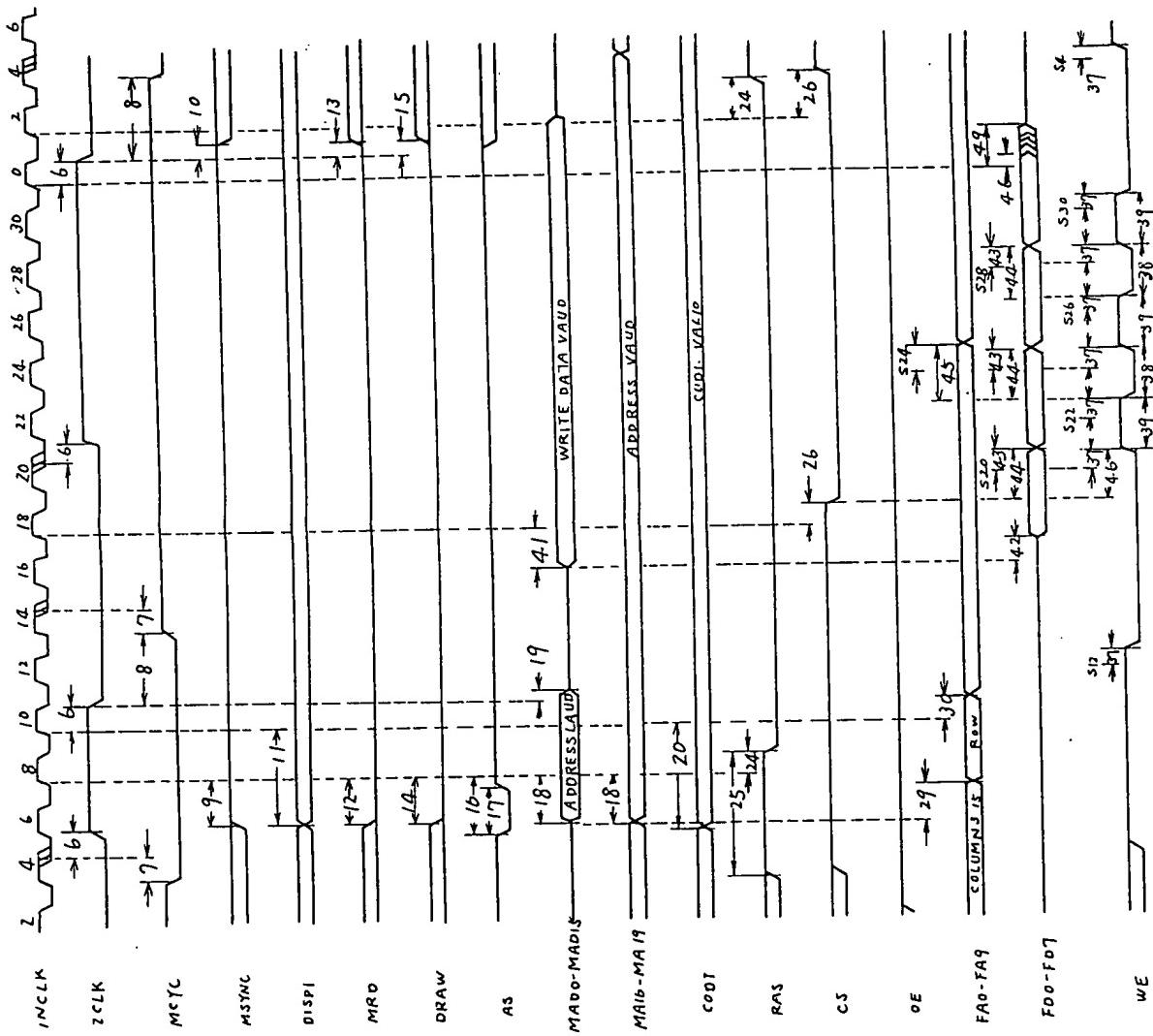
第 17 図



第 18 図

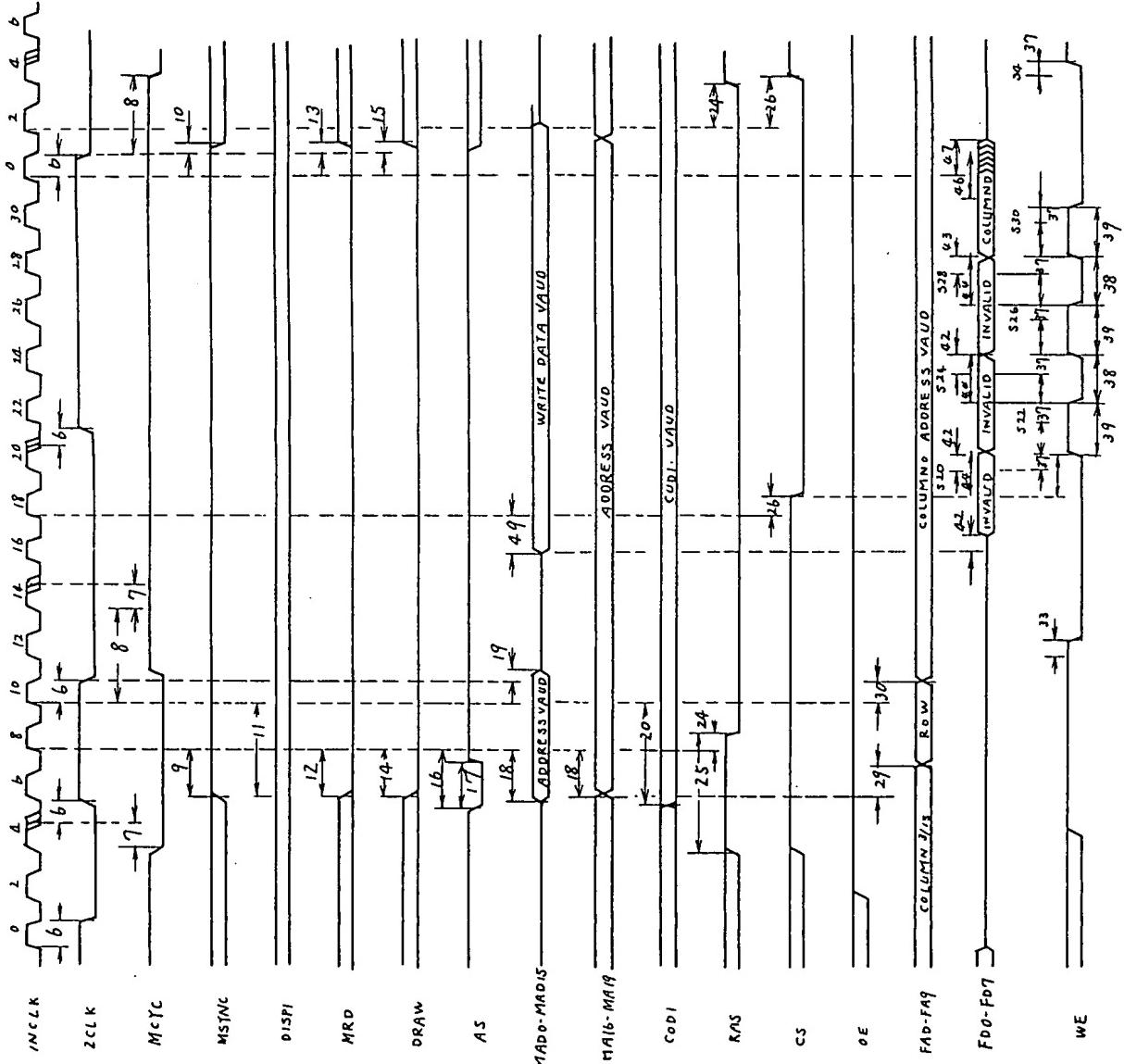


四
九

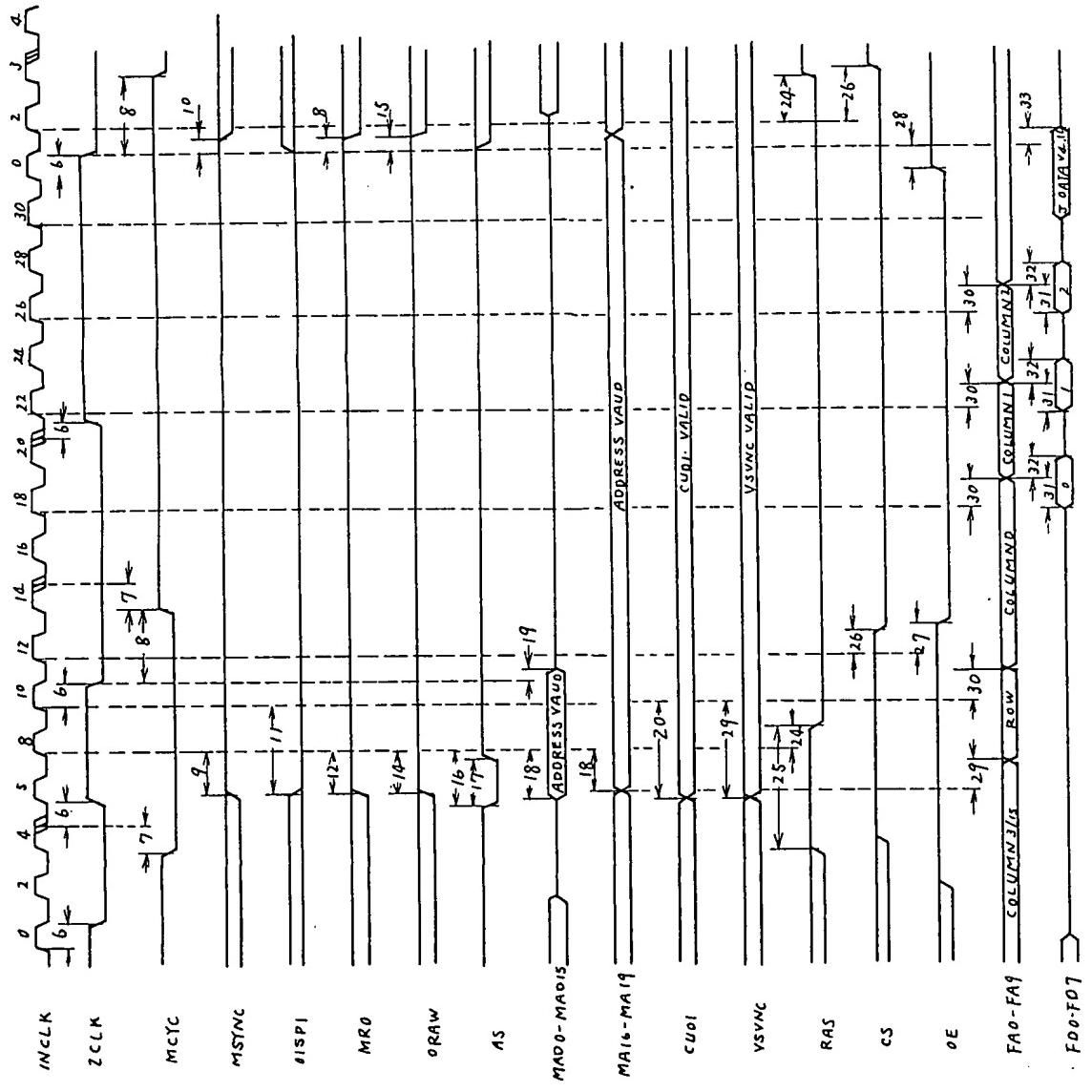


代理人 小川勝男

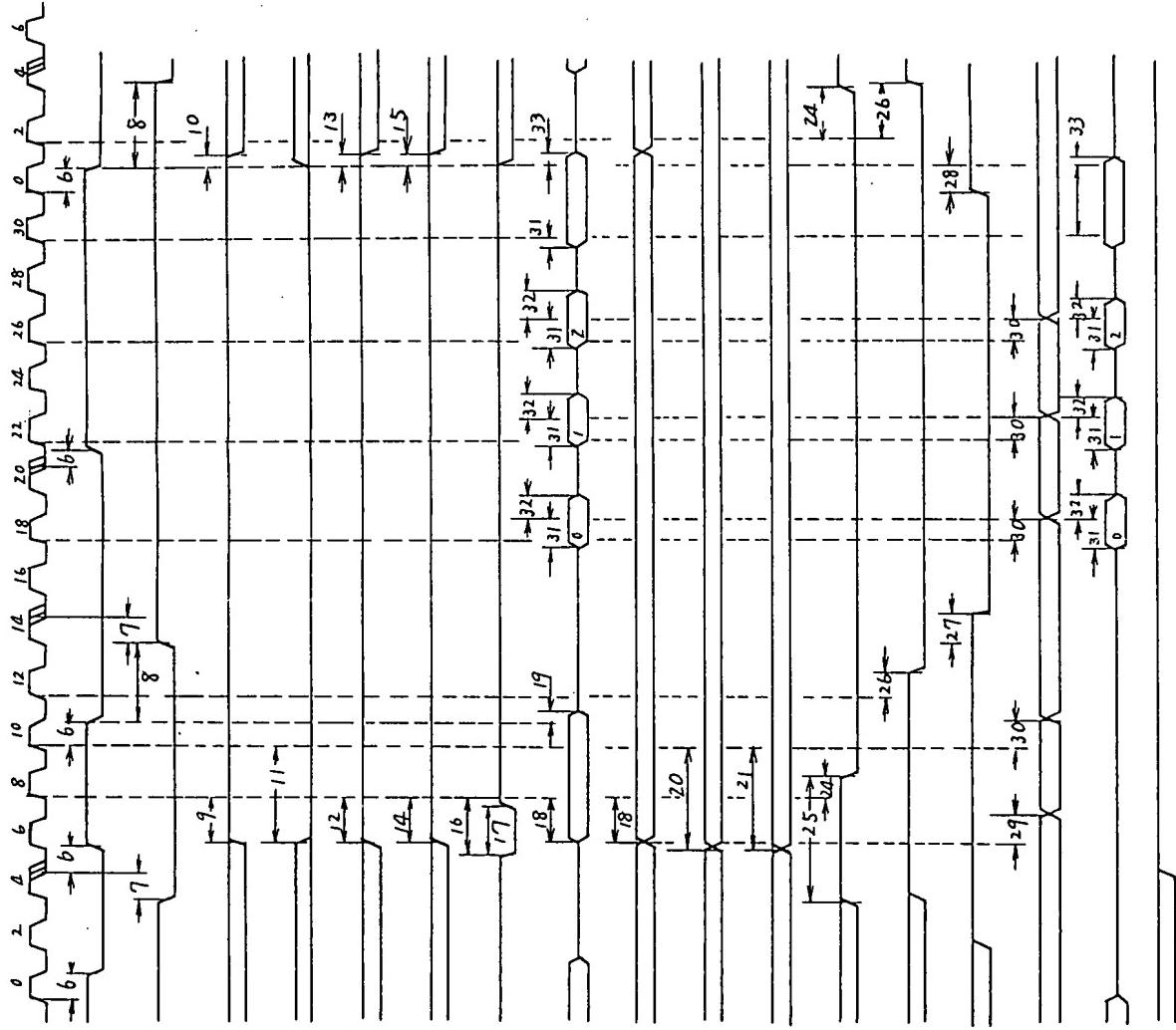
第 2.0 図



第 21 図



第 22 図

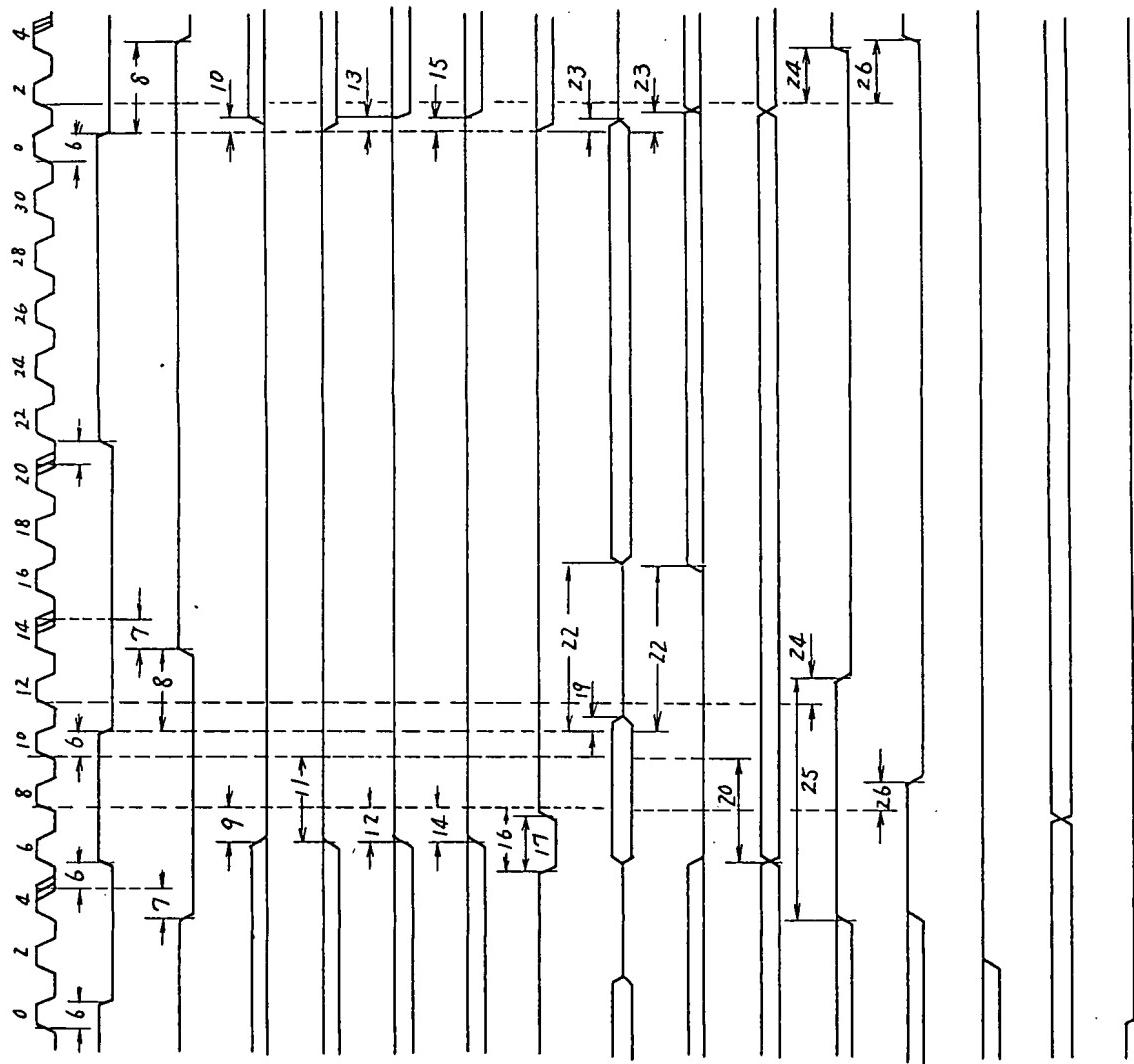


第 23 図

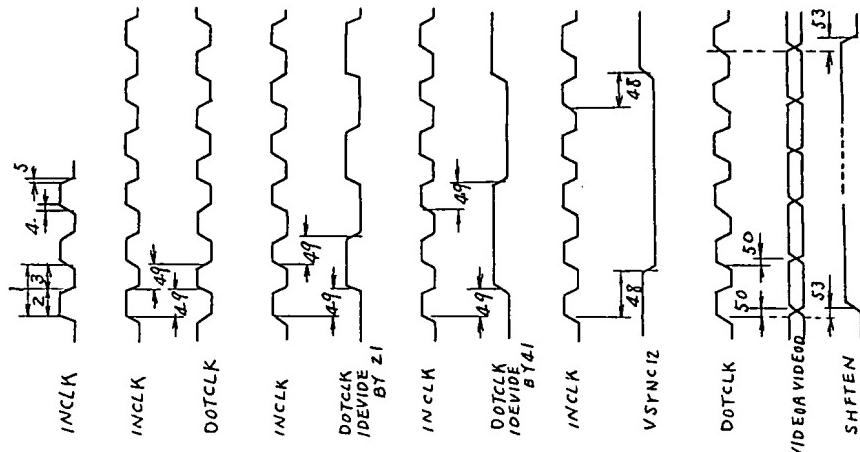
2回アワセス / 1MCYC (描画)			4回アワセス / 1MCYC (表示)			16回アワセス / 2MCYC (表示)				
Row	Column	Row	256Kx4-bit (VMDO=0)			256Kx4-bit (VMDO=1)				
			Row	Column	Row	Row	Column	Row	Column	
9	—	—	MA18	NCO	—	MA18	NCO	—	MA18	NCO
8	MAD9	NC1	MA09	MAD8	NC1	MAD9	MAD8	MAD9	NC1	MAD8
7	MAD8	MAD7	MA17	MAD7	MA17	MAD7	MAD8	MAD7	MA17	MAD7
6	MA16	MAD6	MA16	MAD6	MA16	MAD6	MA16	MAD6	MA16	MAD6
5	MAD5	MAD5	MA05	MAD5	MA05	MAD5	MAD5	MAD5	MA05	MAD5
4	MAD4	MAD4	MA04	MAD4	MA04	MAD4	MAD4	MAD4	MA04	MAD4
3	MAD13	MA03	MAD13	MAD3	MAD3	MAD3	MAD3	MAD3	MAD3	MAD3
2	MAD12	MAD2	MAD12	MAD2	MAD2	MAD2	MAD2	MAD2	MAD2	MAD2
1	MAD11	MA01	MAD11	MAD1	MAD1	MAD1	MAD1	MAD1	WC1	WC1
0	MAD10	MA00	MAD10	WCO	MAD10	WCO	MAD10	WCO	MAD10	WCO

□ : Column address counter

第24図

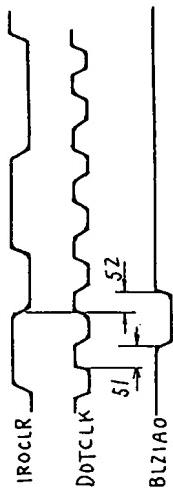


第 25 図

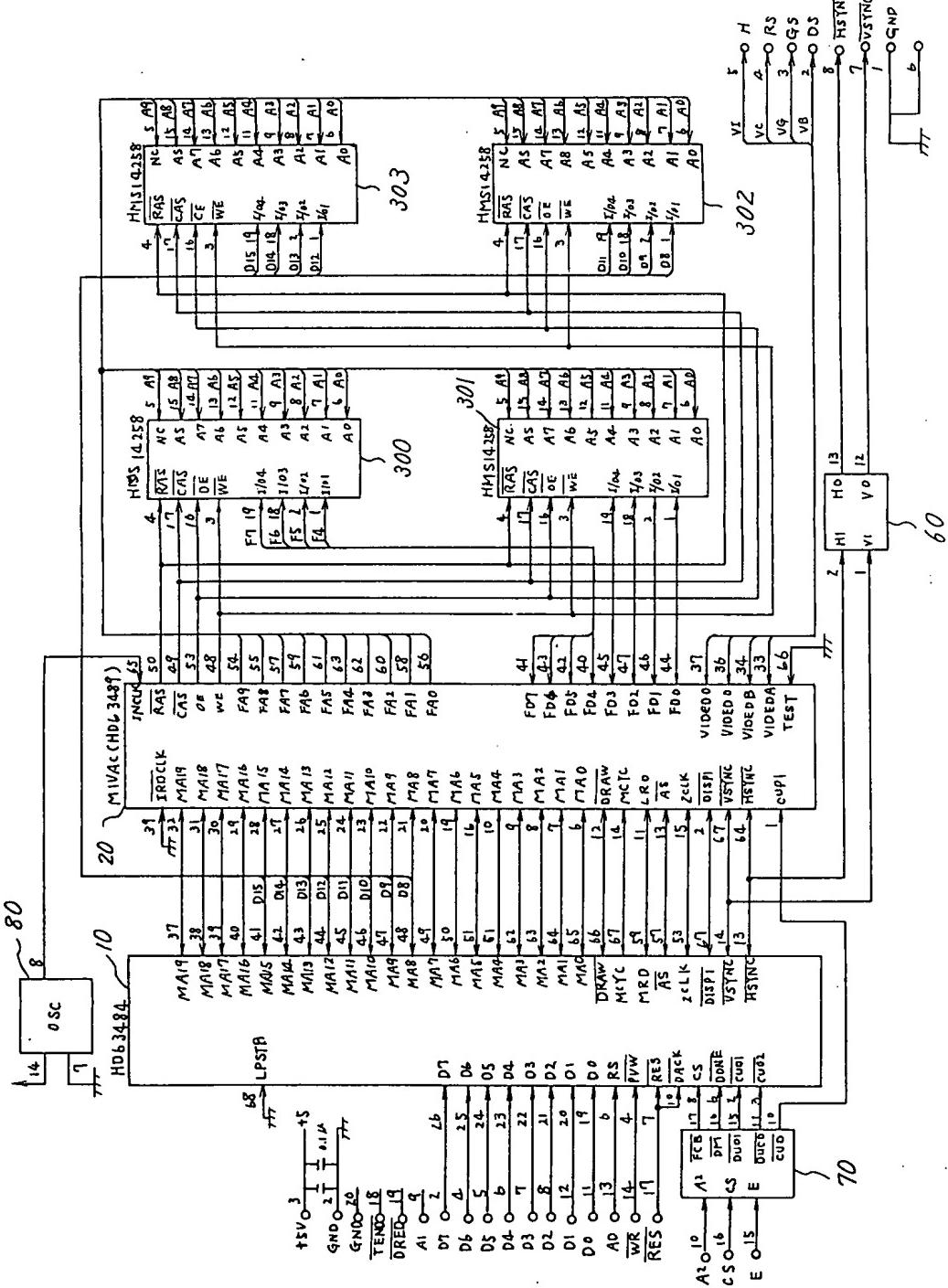


代理人 小川勝男

第26回



第 27 図

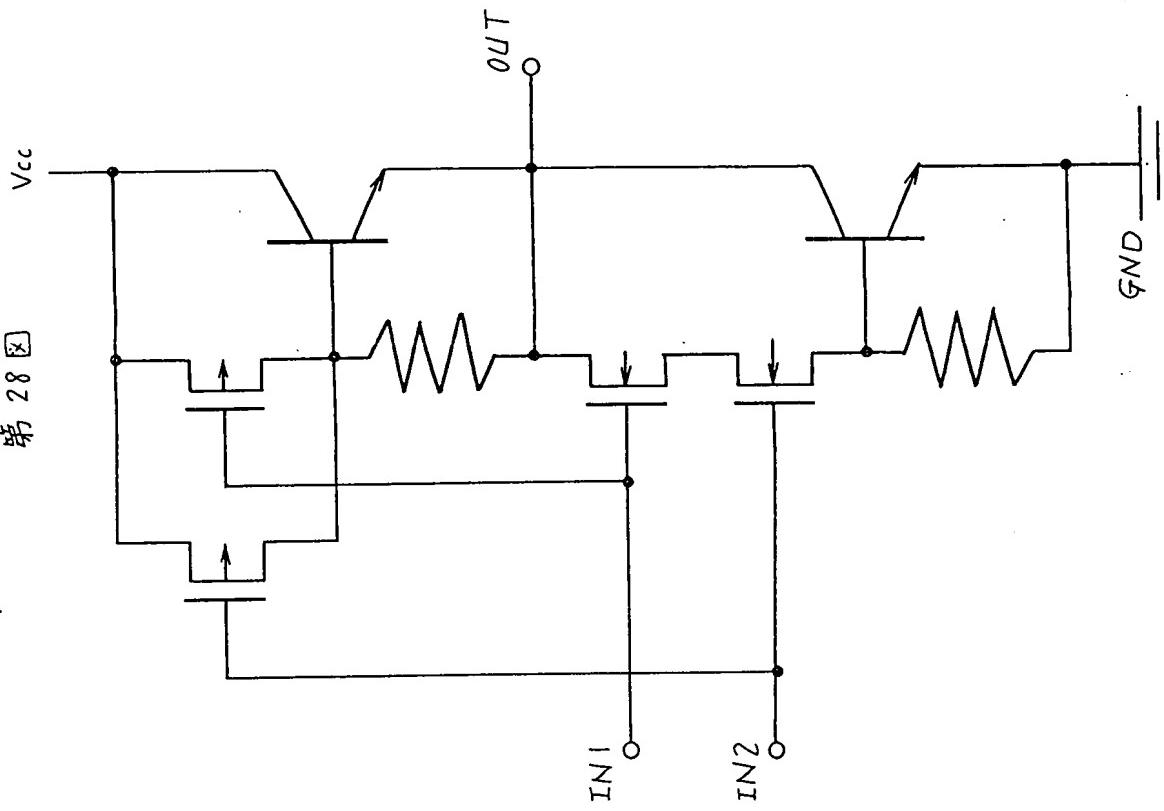


70

60

代理人 小川勝男

第 28 図

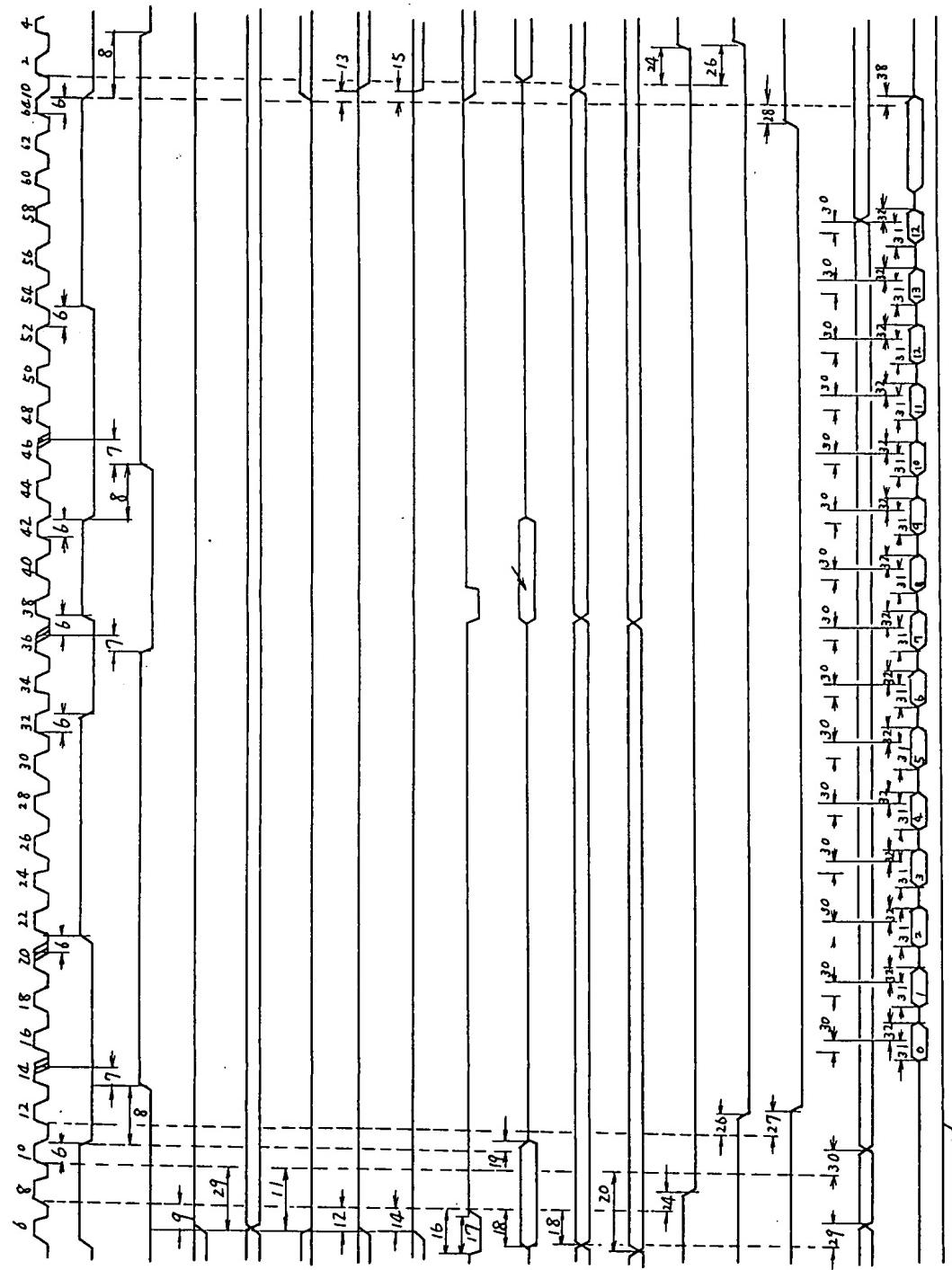


第 29 回 (a)

4回アクセス / 1M CYC (描画, 表示)				16回アクセス / 2M CYC (表示)			
256Kx4-bit (VMDO=0)		1Mx4-bit (VMDO=1)		256Kx4-bit (VMDO=0)		1Mx4-bit (VMDO=1)	
Row	Column	Row	Column	Row	Column	Row	Column
9	-	MAD9	NC0	MAD8	NC1	MAD9	-
8	MAD8	NC1	NC2	MAD7	MA17	MAD8	NC2
7	MAD7	MAD6	MA16	MAD6	MA16	MAD7	MA17
6	MAD5	MAD5	MA15	MAD5	MA15	MAD6	MA16
5	MAD4	MAD4	MA04	MAD4	MA04	MAD5	MA05
4	MAD3	MAD3	MA03	MAD3	MA03	MAD4	MA04
3	MAD2	MAD2	MA02	MAD2	MA02	MAD3	MA03
2	MAD1	MAD1	MA01	MAD1	MA01	MAD2	MA02
1	MAD0	MAD0	MA00	MAD0	MA00	WC1	WC1
0	MAD0	MAD0	MA00	MAD0	MA00	WC0	WC0

[] : Column address Counter

第29図(b)





第29回(c)

1回アクセス / 1MCYC (描画)				4回アクセス / 1MCYC (表示)			
256Kx4-bit (VMDO=0)		1Mx4-bit (VMDO=1)		256Kx4-bit (VMDO=0)		1Mx4-bit (VMDO=1)	
Row	Column	Row	Column	Row	Column	Row	Column
9	-	MA18	MAD9	-	-	MA18	MAD9
8	MAD9	MA19	MAD8	MAD9	MAD8	MA19	MA08
7	MA17	MA17	MAD7	MA17	MA07	MA17	MAD7
6	MA16	MA16	MAD6	MA16	MA06	MA16	MAD6
5	MAD15	MAD15	MAD5	MAD15	MAD5	MAD15	MAD5
4	MAD14	MAD14	MAD4	MAD14	MAD4	MAD14	MAD4
3	MAD13	MAD13	MAD3	MAD13	MAD3	MAD13	MAD3
2	MAD12	MAD12	MAD2	MAD12	MAD2	MAD12	MAD2
1	MAD11	MAD11	MAD1	MAD11	MAD1	MAD11	WC1
0	MAD10	MAD10	MAD0	MAD10	MAD0	MAD10	WC0

[] : Column address counter